



想像を超える可能性を  
AHEAD OF WHAT'S POSSIBLE™

# 次世代無線システムを 小型化するJESD204B コンバータボード 開発における7つのポイント

ギガファーム株式会社

山崎 隆行



# ギガファーム社 紹介

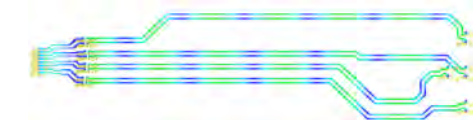
- ▶ 事業所在地 東京都 町田市
- ▶ 先端産業分野の開発メーカーと、  
ギガHz/ギガbpsの高速伝送技術製品を開発する企業
- ▶ JESD204B高周波ボード開発。JESD204Bコンサルティング
  - JESD204Bセミナー開催 2016・6月、7月 20名受講



東京都町田市



基板の分析



DX-DESIGNER

回路設計

Altium、ORCAD

XILINX、ALTERA

FPGA

JESD204B IP

XPEDITION

基板設計

BD, Allegro

JESD204B基板

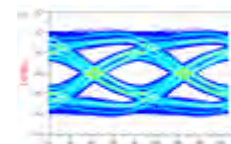
開発相談

ボード開発、FPGA

- 【パートナー】 展示
  - キーサイト・テクノロジー社
  - シノプシス社



JESD204Bボード



シミュレーション  
EYEパターン

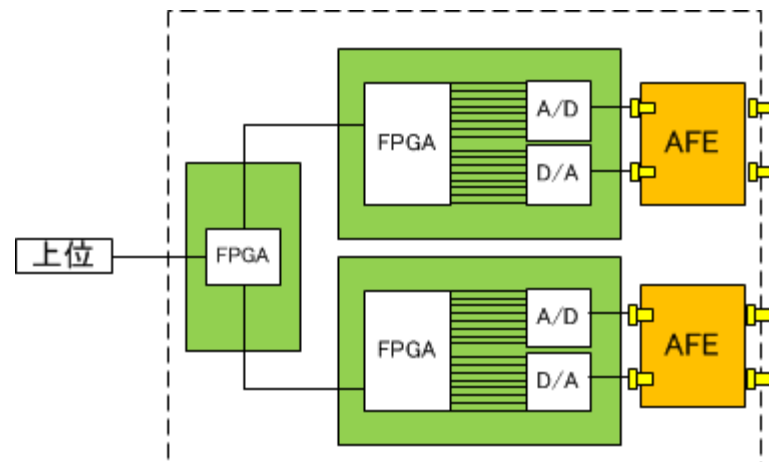


計測 12.5Gbps  
EYEパターン

# セミナー内容

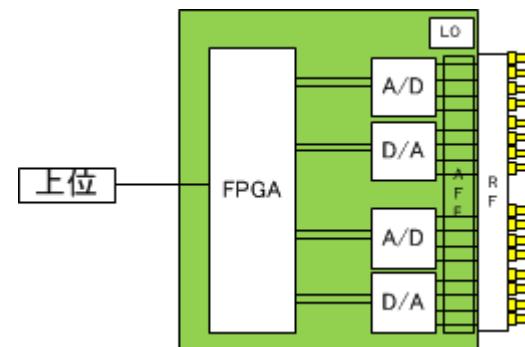
- 次世代の無線通信機器の開発課題

- システムボードの超小型化MIMOボード
- 低消費電力化
- 高集積システム



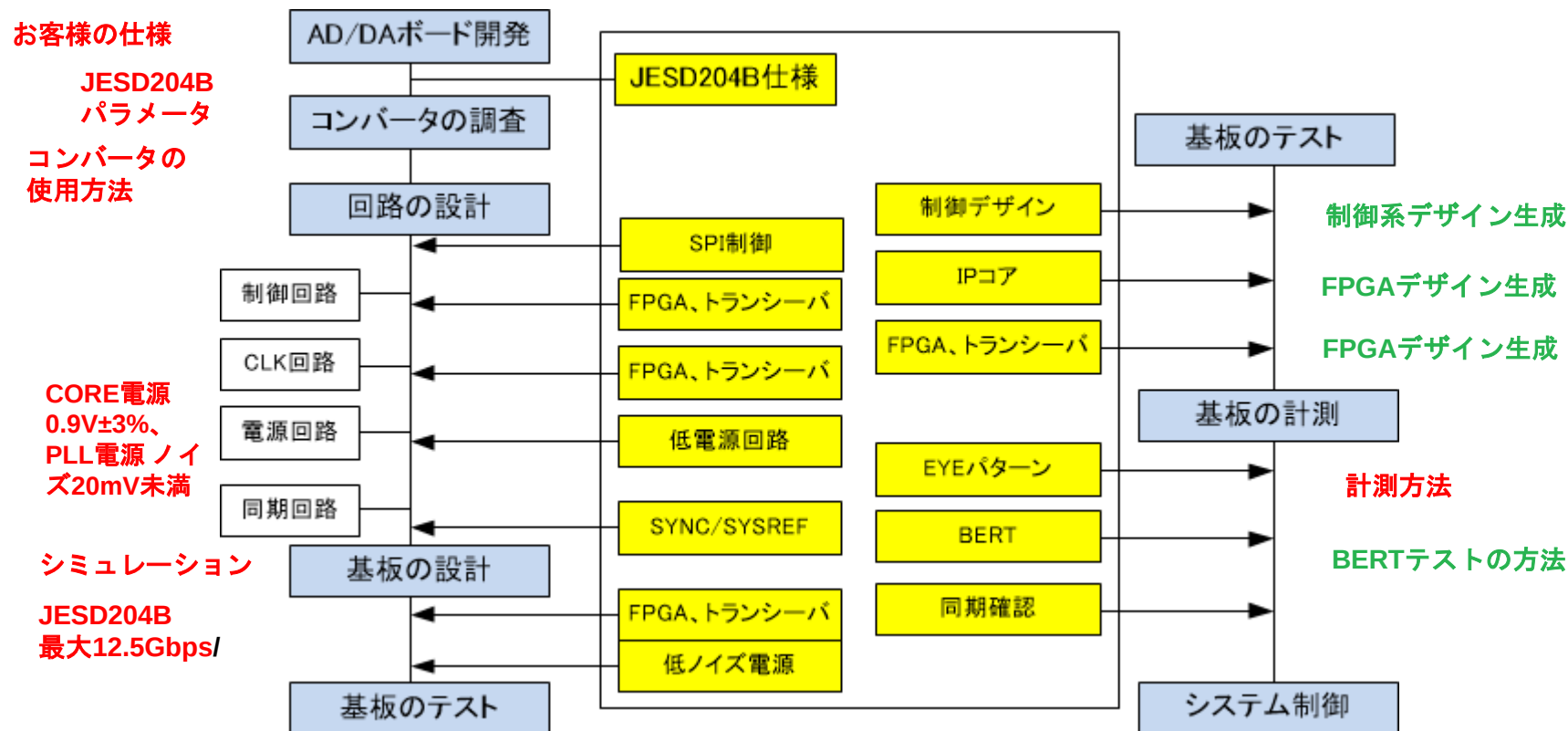
- 本セッション：JESD204Bの開発者を対象

- JESD204Bコンバータ搭載信号処理ボード開発を事例として、
- 特に注意すべき7つのポイントを説明します。



# はじめに（試作開発工程）

## ▶ JESD204B 試作開発工程とポイント



# 本セッションの7つのポイント

- ▶ 1、試作前準備と評価ボードでの確認
- ▶ 2、A/Dコンバータ入力のADS解析
- ▶ 3、ADCとDACの制御と伝送路解析
- ▶ 4、同期CLKとコンバータ設定
- ▶ 5、JESD204Bボード基板の開発
- ▶ 6、FPGA生成とJESD204Bデザインデバッグ
- ▶ 7、合成ツールの活用による性能向上の検討

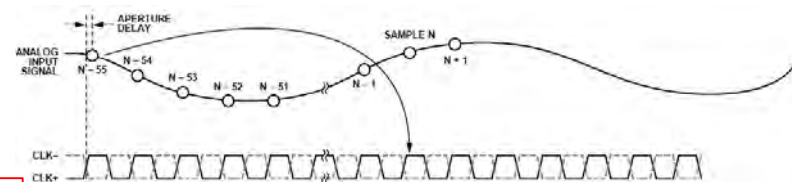
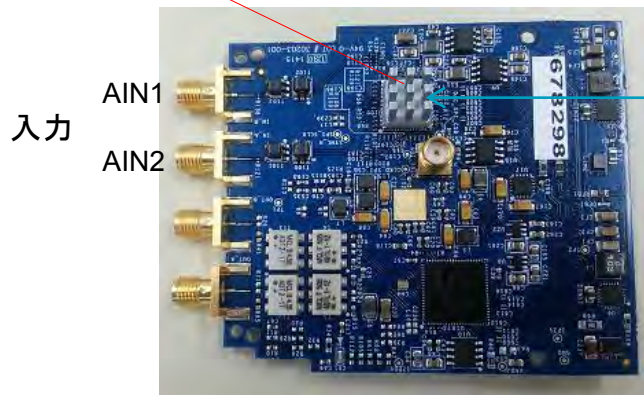
# 試作前準備と評価ボードでの確認

- システム仕様の決定：何Gsp/sのコンバータを採用するか？

- 最初にJESD204B仕様から考えます。

- ※FPGAは後！

AD9680 14bit 1Gsp/s JESD204B ADC

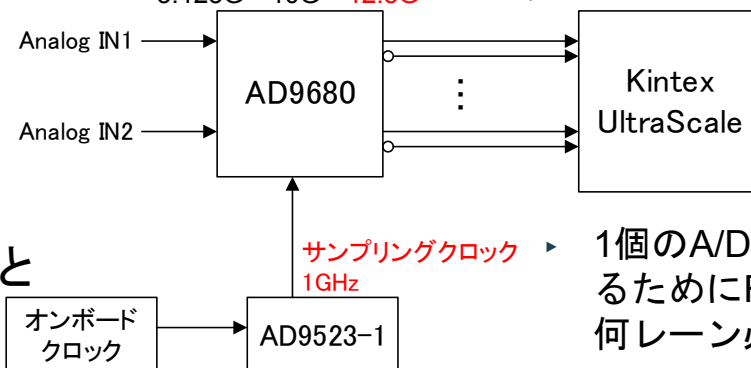


1GHz

サンプリング Clock

AD9680  
Data Rate per Channel  
Min typ MAX  
3.125G 10G 12.5G

トランシーバ数 データレート  
下位 4-16ch 6.6Gb/s (GTP)  
中間 8-32ch 12.5Gb/s (GTX)  
上位 28-96ch 13.1Gb/s (GTH)



- 次にレーン数を考えます。
  - 14bitのコンバータは制御信号2bitと
  - 8B10Bにより20bitで転送します。
  - 1Gsp/sx20bit=20Gbps

1個のA/Dを接続するためにはFPGAは何レーン必要？

問題：JESD204Bは最大12.5Gbps。上の図は【 】レーン必要ですか？

# 試作前準備と評価ボードでの確認

- ▶ **【準備 1】 評価ボードを入手してください。**
  - 対象A/D、D/Aの制御と性能を確認する。
- ▶ **【入手情報】 JESD204Bデザイン、CLK同期回路**  
接続ピン情報、電源回路、ボード情報



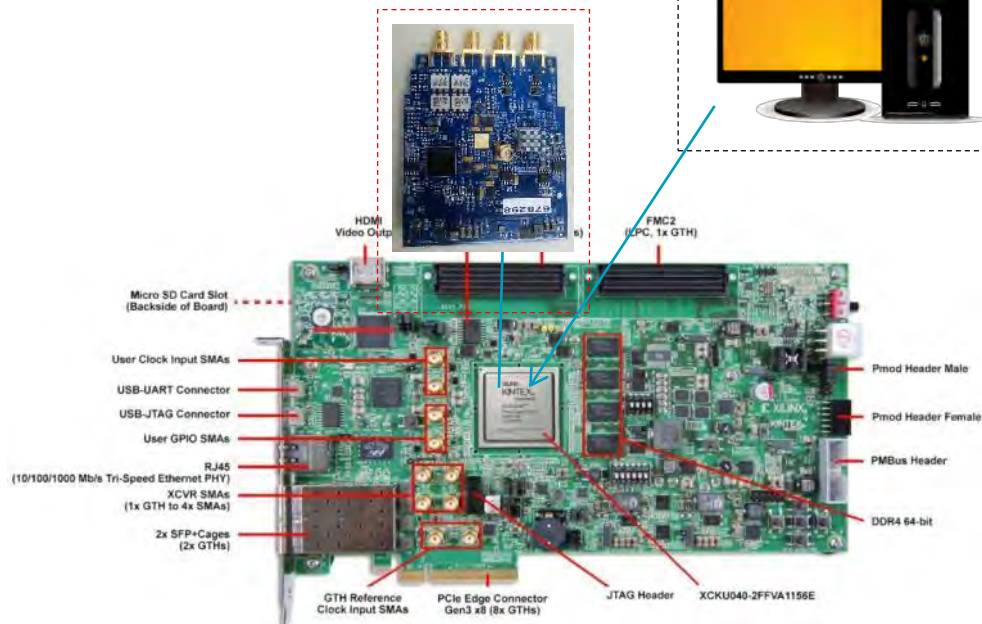
AD-FMC-DAQ2-EBZ

AD9680 Dual 14-Bit, 1.0 GSPS, A/D Converter

JESD204B (subclass 1) 8-lane coded serial digital outputs  
SFDR 77 dBc at 500 MHz Ain, 1 GSPS  
ENOBs = 10.9 bits  
2 GHz of usable analog input full-power bandwidth  
Two integrated DDCs per channel

AD9144 Quad 16-Bit, 2.8 GSPS Transmit D/A Converter

JESD204B (subclass 1) coded serial digital outputs  
Supports complex signal bandwidths up to 800 MHz  
6-carrier GSM IMD=75 dBc at 75 MHz IF  
SFDR = 85 dBc (BW=300 MHz) at DC IF  
Selectable 2x, 4x, 8x interpolation filters



Xilinx FPGAボード

リファレンスデザイン環境



▶ 設定



▶ ※参考



- ▶ リファレンスなしで立ち上げるのはとても困難です。一気に作らないでください。

# 試作前準備と評価ボードでの確認

## ▶ Wikiにあるリファレンスデザインをダウンロード。

- <https://wiki.analog.com/resources/eval/user-guides/ad-fmcdaq2-ebz/quickstart/microblaze>



### AD-FMCDQA2-EBZ Microblaze Quick Start Guide

This guide provides some quick instructions (still takes awhile to download, and set things up) on how to setup the AD-FMCDQA2-EBZ on:

- KC705
- KCU105
- VC707

#### Required Software

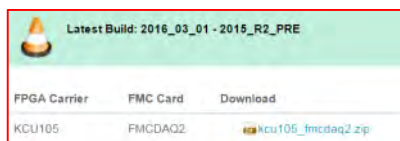
- Bitfile and Linux ELF image.
- Xilinx ISE Microprocessor Debugger (XMD) is sufficient for the demo.
- A UART terminal (Tera Term/Hyperterminal). Baud rate 115200 (8N1).

#### Downloads

#### Required Hardware

- Xilinx KC705 or KCU105 or VC707
- AD-FMCDQA2-EBZ FMC Board.
- Micro / Mini-USB Cable

このデザインを利用



## Testing

- Connect the AD-FMCDQA2-EBZ FMC board to the FPGA carrier, on the HPC FMC connector.
- Connect USB JTAG (Micro USB) to your host PC.
- Turn on the power switch on the FPGA board.
- Open XMD console to configure the FPGA and download the elf image.

## Loading

Download the pre-build image for you device in question.

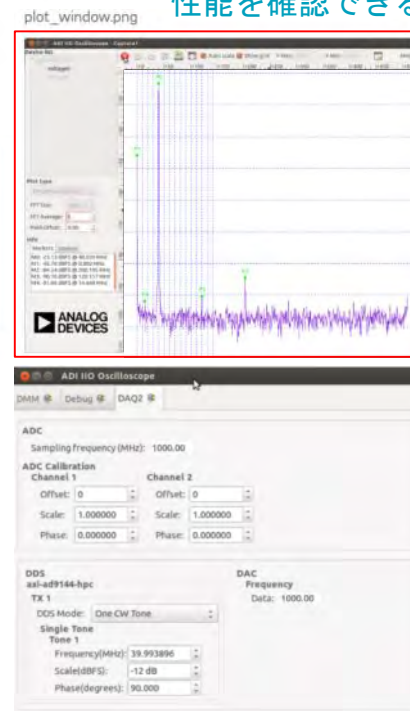
### Latest Build: 2015\_05\_27 - 2014\_R2

Linux SHA:d06f1b2708a4a7d6090703b0f1a3678191bb3aa0  
Linux branch:2014\_R2  
Linux repository: <https://github.com/analogdevicesinc/linux.git>  
HDL SHA:7b8b810c872df170515916b15944b13856646303  
HDL branch:hdl\_2014\_r2  
HDL repository: <https://github.com/analogdevicesinc/hdl.git>

| FPGA Carrier | FMC Card   | Download                                     |
|--------------|------------|----------------------------------------------|
| KC705        | AD9467_FMC | <a href="#">kc705_ad9467_fmc_2014_R2.zip</a> |
| KC705        | FMCDQA2    | <a href="#">kc705_fmcdaq2_2014_R2.zip</a>    |
| KC705        | FMCJESDAC1 | <a href="#">kc705_fmcdadac1_2014_R2.zip</a>  |
| KC705        | FMCOMMS1   | <a href="#">kc705_fmcomms1_2014_R2.zip</a>   |
| KC705        | FMCOMMS2/3 | <a href="#">kc705_fmcomms2-3_2014_R2.zip</a> |
| KCU105       | FMCDQA2    | <a href="#">kcu105_fmcdaq2_2014_R2.zip</a>   |
| VC707        | FMCADC2    | <a href="#">vc707_fmcdac2_2014_R2.zip</a>    |
| VC707        | FMCADC5    | <a href="#">vc707_fmcdac5_2014_R2.zip</a>    |
| VC707        | FMCOMMS2/3 | <a href="#">vc707_fmcomms2-3_2014_R2.zip</a> |

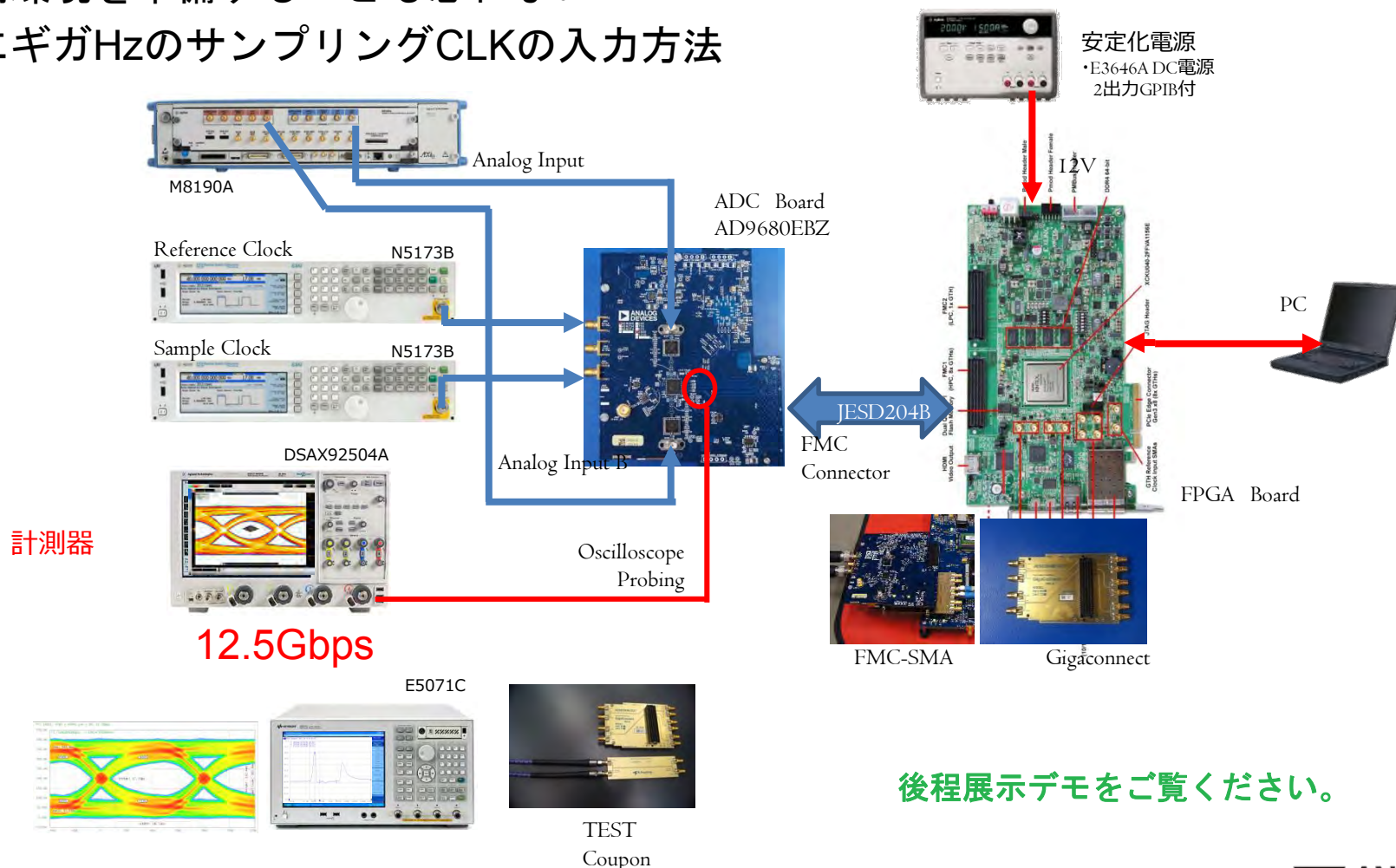


コンバータの動作  
性能を確認できる。



# 試作前準備と評価ボードでの確認

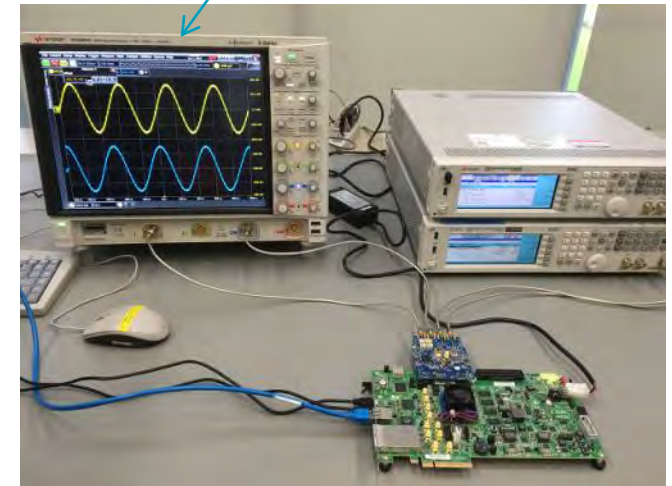
計測環境を準備することも忘れない  
特にギガHzのサンプリングCLKの入力方法



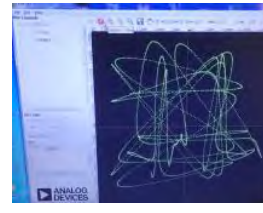
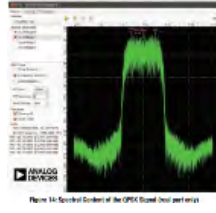
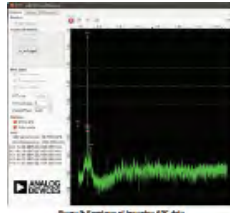
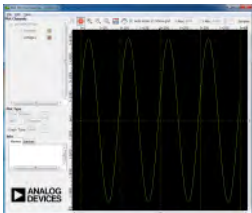
後程展示デモをご覧ください。

# 【ポイント1】 試作前準備と評価ボードでの確認

- ▶ JESD204B開発の初めの一步
- ▶ サンプリングしたアナログ信号入力データをPCで確認
- ▶ 4つのプロットモードでの表示
  - time domain, frequency domain, constellation and cross-correlation. The application
- ▶ 評価ボードの設定ができる。
- ▶ レジスタ制御
- ▶ 保存形式
  - Agilent VSA .csv .mat .png



PC設定した周波数を  
DAC-アナログ出力



ADC入力 信号発生器 (QPSK) IQ  
DAC出力SIN波 40MHz

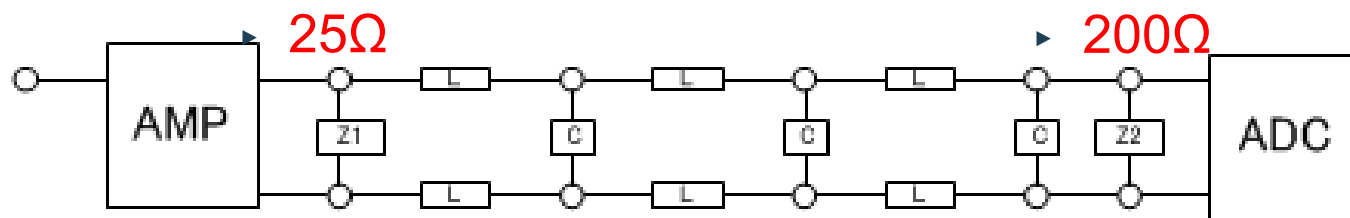
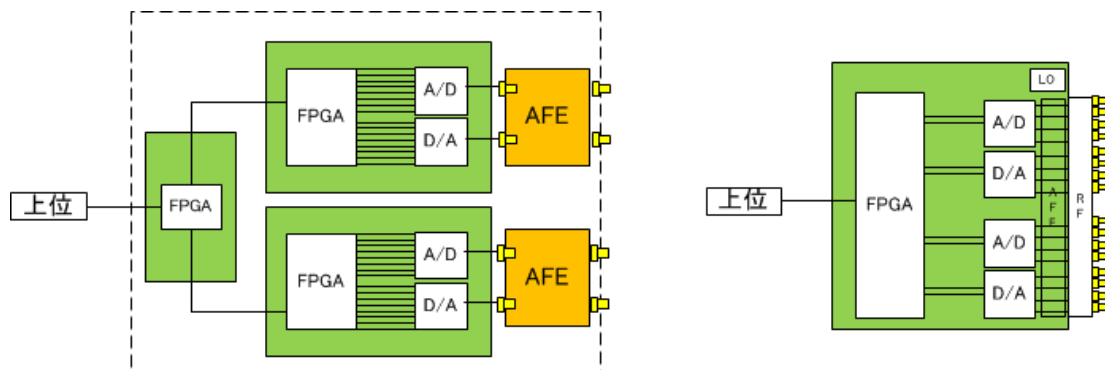
- 日本語手順書：ギガファームセミナー配布

# アジェンダ

- ▶ POINT 1 試作前準備と評価ボードでの確認
- ▶ POINT 2 A/Dコンバータ入力のADS解析
- ▶ POINT 3 ADCとDACの制御と伝送路解析
- ▶ POINT 4 同期CLKとコンバータ設定
- ▶ POINT 5 JESD204Bボード基板の開発
- ▶ POINT 6 FPGA生成とJESD204Bデザインデバッグ
- ▶ POINT 7 合成ツールの活用による性能向上の検討

## 【ポイント2】 A/Dコンバータ入力のADS解析

- ▶ 無線機小型化要求：AFE【アナログフロントエンド】の一部をA/D,D/A デジタル部の開発に取り込みが必要。



- ▶ 性能を出すためには、インピーダンスマッチングが必要。
- ▶ AFE-A/D間をLCの多段フィルタを構成必要がある。→ ADS解析

# 【ポイント2】A/Dコンバータ入力のADS解析

ADL5202を参考としたADS解析。

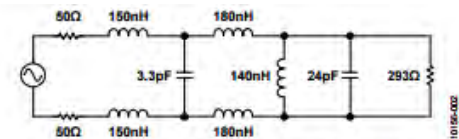
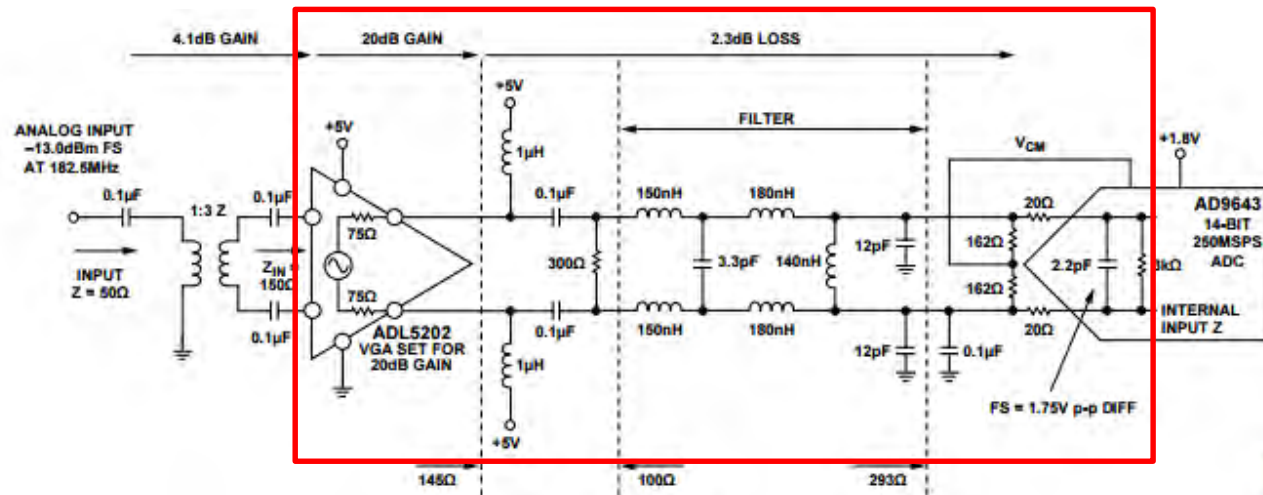
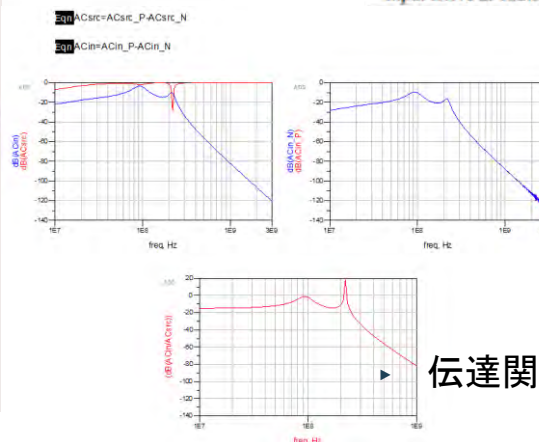
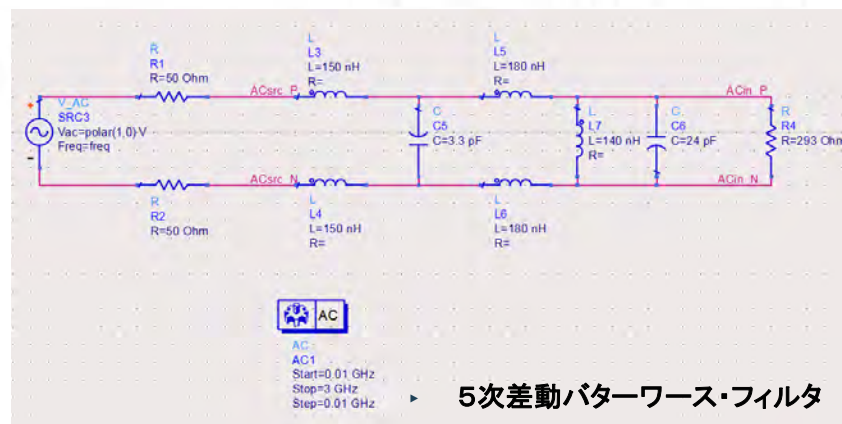


図2.  $Z_S = 100\Omega$ ,  $Z_L = 293\Omega$ ,  $f_C = 182.5\text{ MHz}$  の5次差動バタワース・フィルタの最終設計値

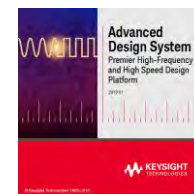
表1はシステムの実測性能の一覧です。ここで3dB帯域幅は110MHzです。回路の全挿入損失は約2.3dBです。

表1 回路の実測性能

| 性能仕様@ 1.75 V p-p FS                              | 最終結果                  |
|--------------------------------------------------|-----------------------|
| カットオフ周波数 $f_{LOW}$ (-1 dB)                       | 145 MHz               |
| カットオフ周波数 $f_{HIGH}$ (-1 dB)                      | 220 MHz               |
| カットオフ周波数 $f_{LOW}$ (-3 dB)                       | 120 MHz               |
| カットオフ周波数 $f_{HIGH}$ (-3 dB)                      | 230 MHz               |
| 通過帯域平坦度 (10 MHz ~ 190 MHz)                       | 1 dB                  |
| SNR FS at 140MHz                                 | 68.4 dBFS             |
| SFDR at 140 MHz                                  | 80.7 dBc              |
| I12/I13 at 140 MHz                               | 80.7 dBc/<br>84.5 dBc |
| Overall Gain at 182.5 MHz (ADL5202 Gain = 20 dB) | 21.8 dB               |
| Input Drive at 182.5 MHz                         | -13.0 dBm             |



解析ツール



Advanced Design System (ADS)



想像を超える可能性を  
AHEAD OF WHAT'S POSSIBLE™

# 【ポイント2】A/Dコンバータ入力のADS解析

AD9680と、AD5202のSパラを使ってマッチングの解析を行った。

バンドパス・アンチエイリアシング・フィルタ付高IF 75MHz帯域、14bit,1GSPSレシーバ・フロントエンド

SパラはADL5202は20dBゲインのPMタイプ、AD9680は400オームの入力Vcmはデータシートにあった2.05Vです。  
ADL5202のSパラは3GHzまで 解析は3GHz

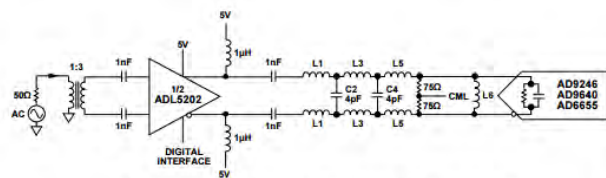
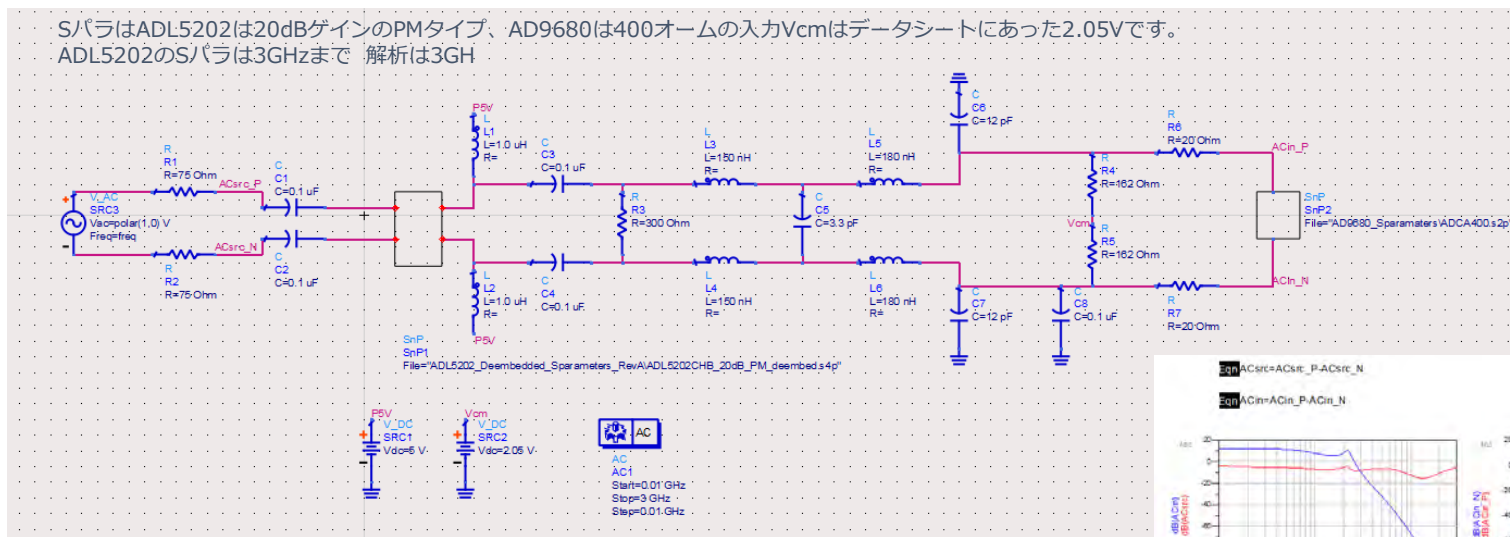
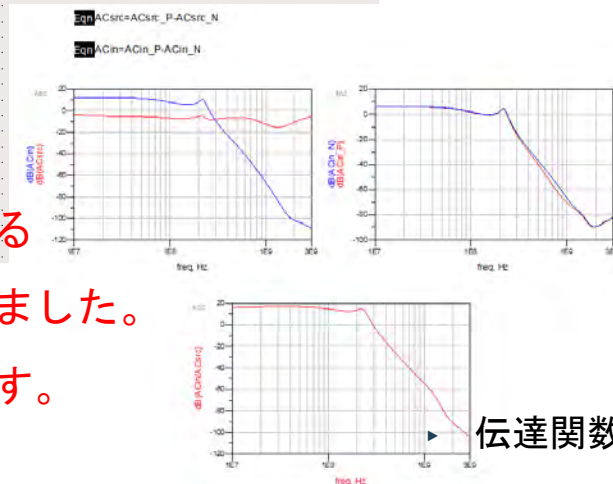


Figure 59. Narrow-Band IF Sampling Solution for Unbuffered ADC Applications

Table 8. Interface Filter Recommendations for Various IF Sampling Frequencies

| Center Frequency | 1 dB Bandwidth | L1    | C2    | L3     | C4     | L5    | L6     |
|------------------|----------------|-------|-------|--------|--------|-------|--------|
| 96 MHz           | 27 MHz         | 68 nH | 15 pF | 220 nH | 15 pF  | 68 nH | 150 nH |
| 140 MHz          | 47 MHz         | 47 nH | 11 pF | 150 nH | 11 pF  | 47 nH | 82 nH  |
| 170 MHz          | 25 MHz         | 39 nH | 10 pF | 120 nH | 10 pF  | 47 nH | 51 nH  |
| 211 MHz          | 40 MHz         | 30 nH | 7 pF  | 100 nH | 7.5 pF | 30 nH | 43 nH  |

パラメータ変更できる  
サンプル回路を作りました。  
ダウンロードできます。



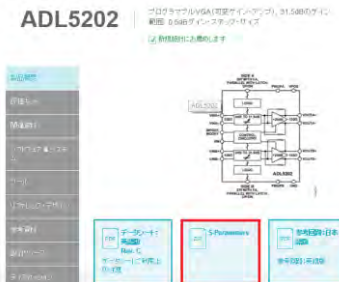
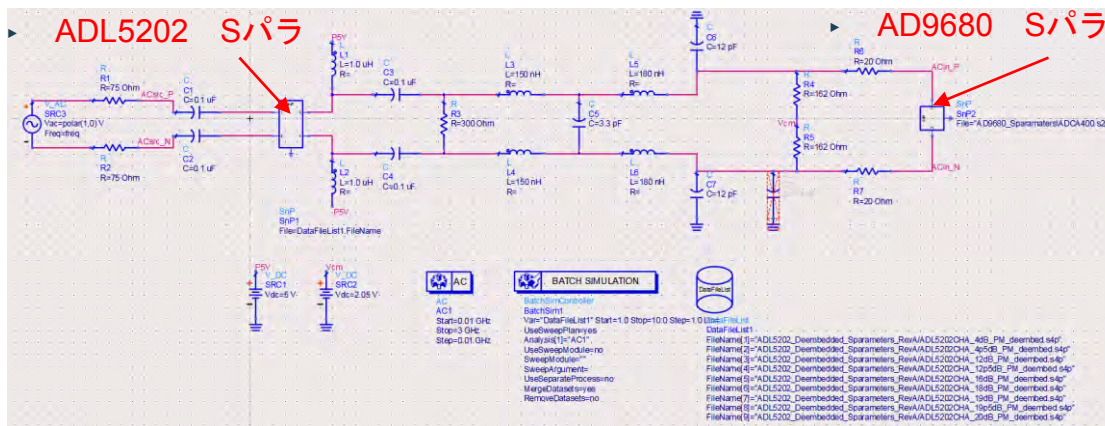
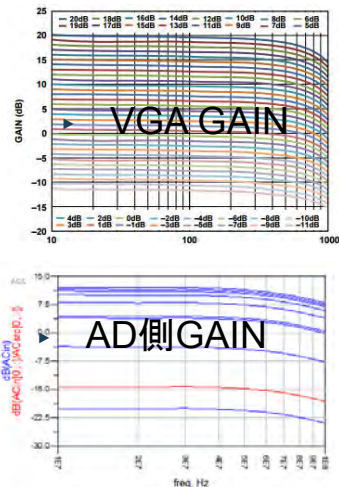
伝達関数



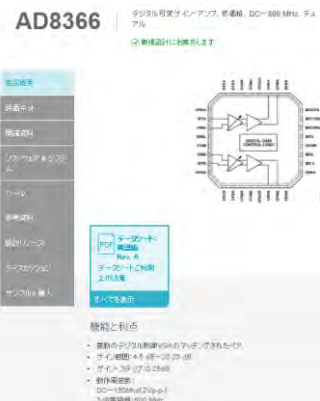
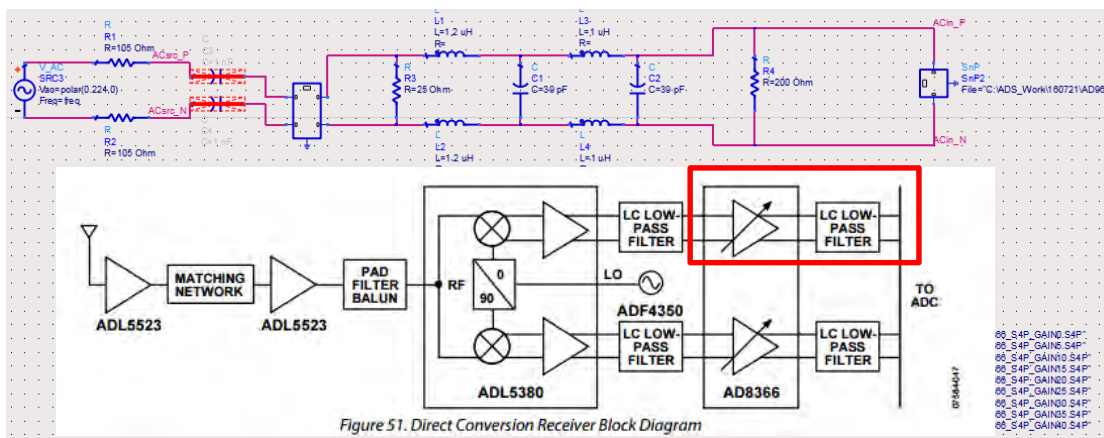
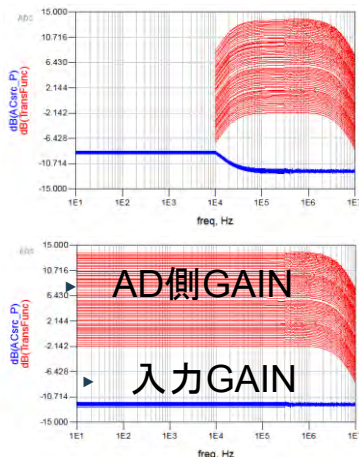
想像を超える可能性を  
AHEAD OF WHAT'S POSSIBLE™

# 【ポイント2】A/Dコンバータ入力のADS解析

AD9680と、VGA AD5202のSパラを使って各ゲイン毎の解析

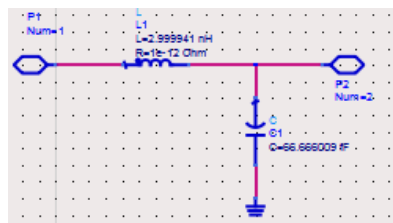
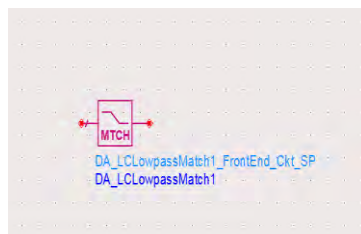
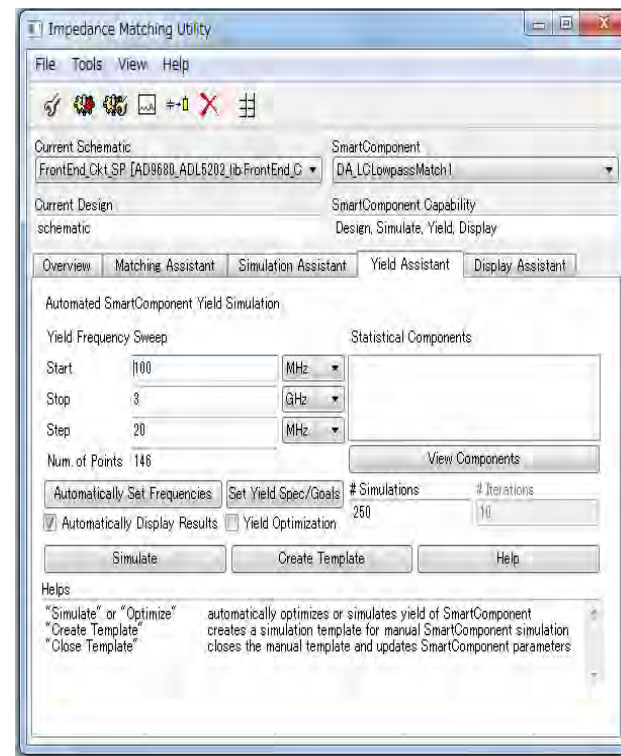
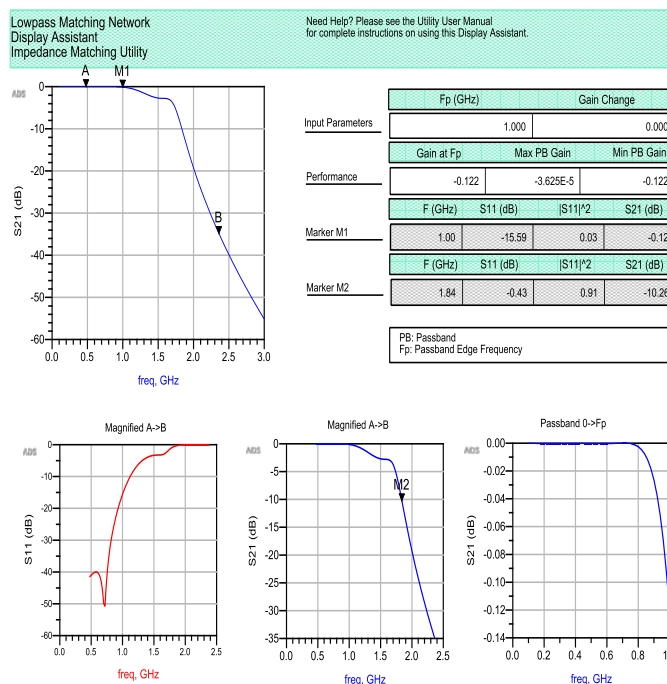
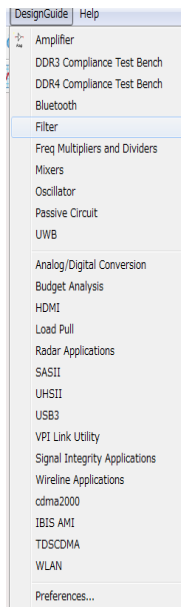


AD9680と、VGA AD8366のSパラを使って各ゲイン毎の解析



# 【ポイント2】A/Dコンバータ入力のADS解析

ADSの標準インピーダンスマッチング検証ツールによる解析。



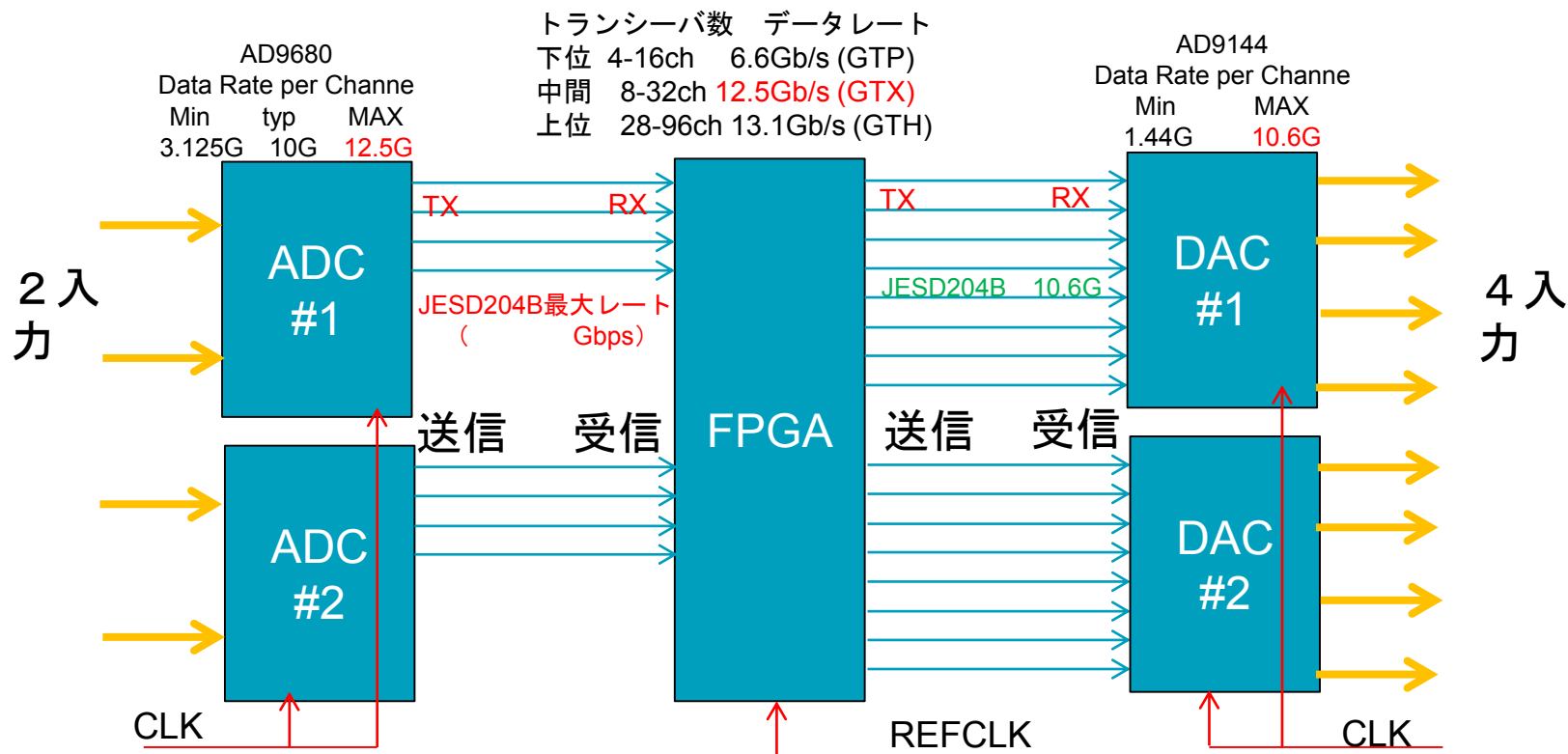
マッチング回路が自動生成されます。  
試してみてください。

# アジェンダ

- ▶ POINT 1 試作前準備と評価ボードでの確認
- ▶ POINT 2 A/Dコンバータ入力のADS解析
- ▶ **POINT 3 ADCとDACの制御と伝送路解析**
- ▶ POINT 4 同期CLKとコンバータ設定
- ▶ POINT 5 JESD204Bボード基板の開発
- ▶ POINT 6 FPGA生成とJESD204Bデザインデバッグ
- ▶ POINT 7 合成ツールの活用による性能向上の検討

# ADCとDACの制御と伝送路解析

## ▶ A/D-FPGA-D/A接続 【展示：無線デモシステム】



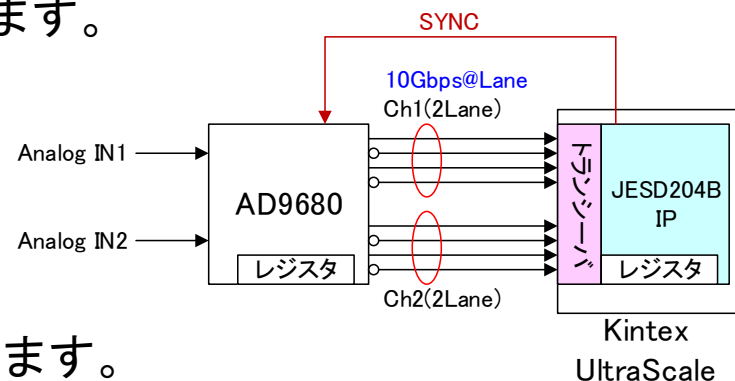
この例では、REFCLKの周波数はサンプリングクロックの1/4を入力。

問題：AD9680 1GSPS使用時のFPGA REFCLKは、【 】MHzです。

# ADCとDACの制御と伝送路解析

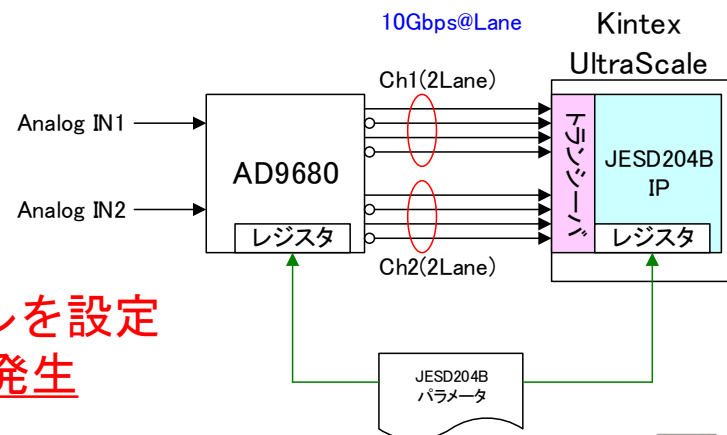
## ▶ SYNC信号

- SYNC信号はコンバータとFPGA間でハンドシェイクする信号です。
- SYNC信号はJESD204B受信側が出力します。



## ▶ SPI制御（JESD204B パラメータ）

- 従来のコンバータと同様に内部を設定します。
- JESD204Bの場合、JESD204Bパラメータを設定します。

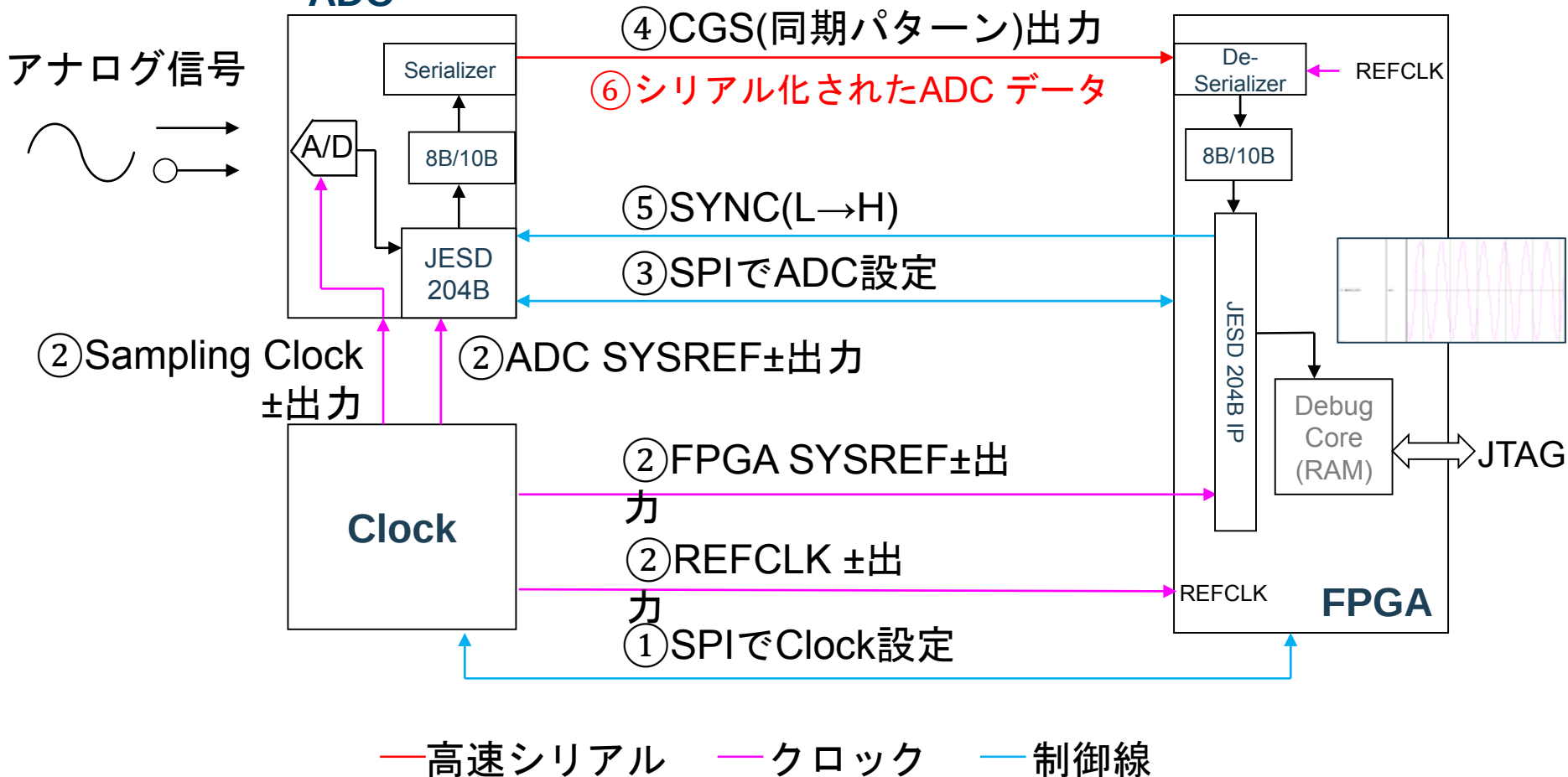


コンバータとFPGAに対して同じルールを設定  
※間違えると接続されないトラブルが発生

# ADCとDACの制御と伝送路解析

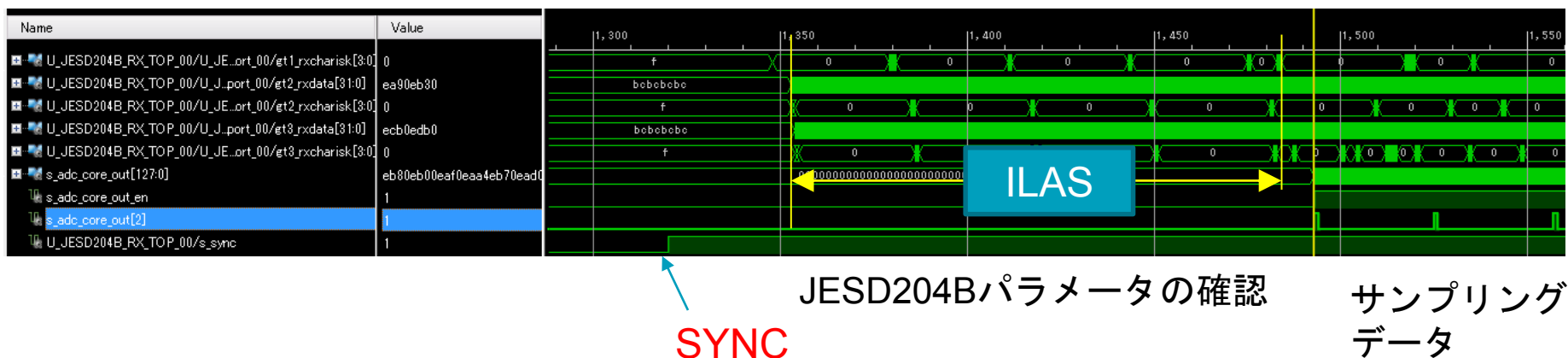
## ▶ ADC,DAC制御の流れ

### ADC



# ADCとDACの制御と伝送路解析

- ▶ **SYNC信号が'L'**の期間はJESD204B送信側がCGS(Code Group Synchronization)パターンを出力します。
- ▶ (値BCでKキャラクタフラグが'H')
- ▶ **SYNC信号が'H'**になるとJESD204B送信側はILAS、データの出力を開始します。



タイミング波形は、FPGA開発ツールのロジックアナライザで確認できます。

# ADCとDACの制御と伝送路解析

## ▶ 伝送線路の解析 最大12.5 Gbps高速データレート

### ■ 伝送線路設計

- 特性インピーダンス、ロス、ビア
- クロストーク

Sパラメータ  
評価

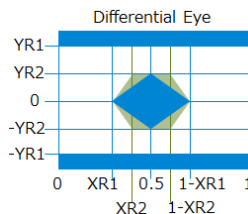
### ■ ジッタ、BER評価

### ■ 回路図解析IBIS-AMI

### ■ 基板解析 電磁界解析

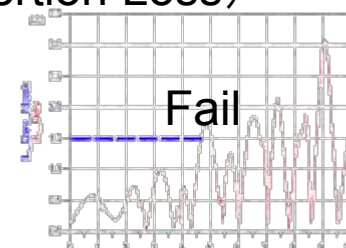
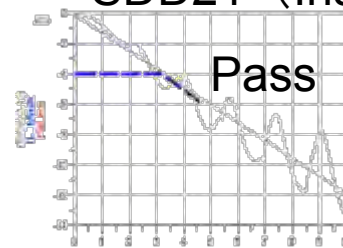
アイパターン  
&  
BER

Rx端マスク

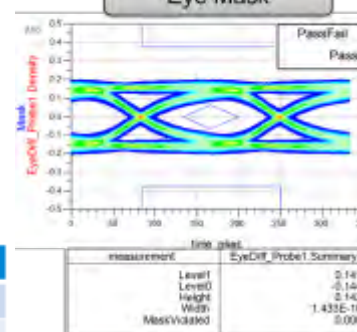


|               | XR1  | 1-XR1 | XR2  | YR1    | YR2    |
|---------------|------|-------|------|--------|--------|
| LV-OIF-SxI5   | 0.28 | -     | 0.39 | 0.5    | 0.0875 |
| LV-OIF-6G-SR  | 0.3  | 0.7   | -    | 0.0625 | 0.375  |
| LV-OIF-11G-SR | 0.35 | 0.65  | -    | 0.055  | 0.525  |

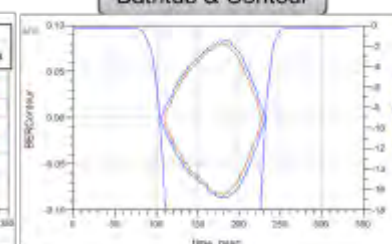
SDD21 (Insertion Loss)



Eye Mask

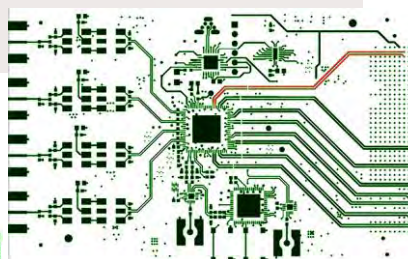
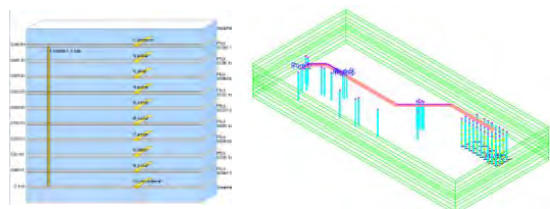
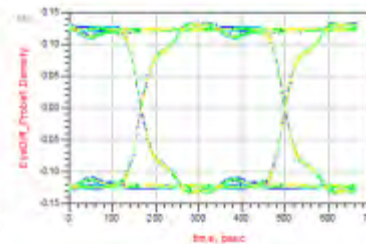
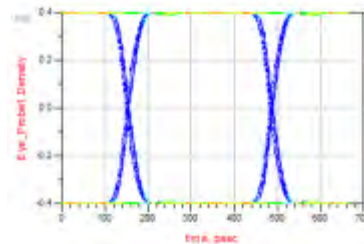
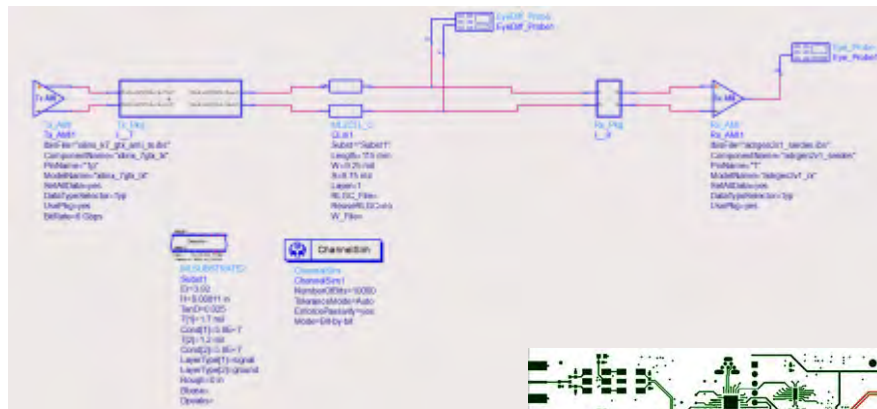


Bathtub & Contour

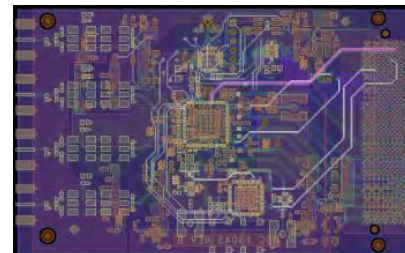


# 【ポイント3】 ADCとDACの制御と伝送路解析

- ▶ IBIS-AMI解析：コンバータとFPGAのIBIS-AMIモデルを使用。



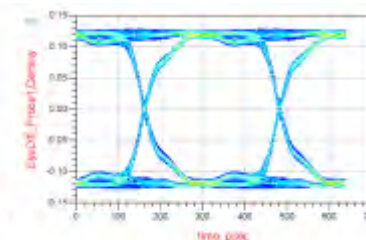
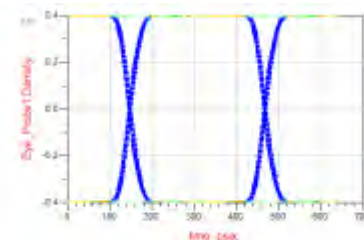
AD9144EBZ Board  
JESD204B L1 LAYOUT



電磁界解析でSパラ解析



電磁界解析後アイパターン



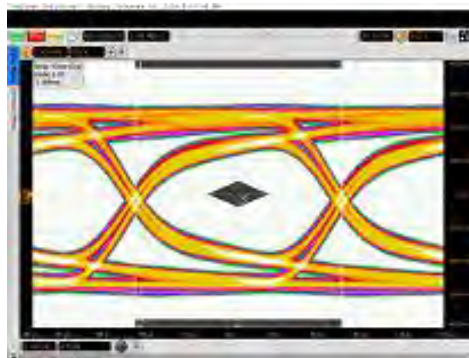
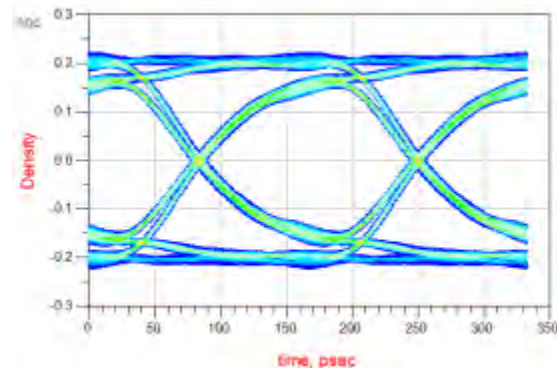
基板+部品+コネクタのSパラを追加したアイパターン

# 【ポイント3】 ADCとDACの制御と伝送路解析

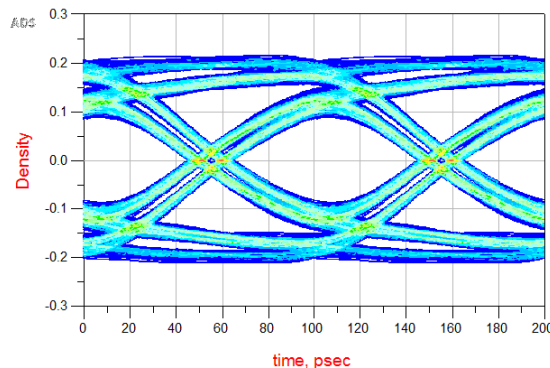
AD9680評価ボード シミュレーションと解析の比較

ADS Simulation EYE & Line rate

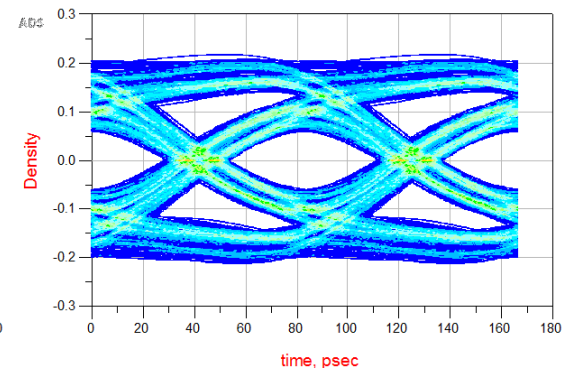
▶ Bit rate=6Gbps



Bit rate=10Gbps



Bit rate=12.5Gbps

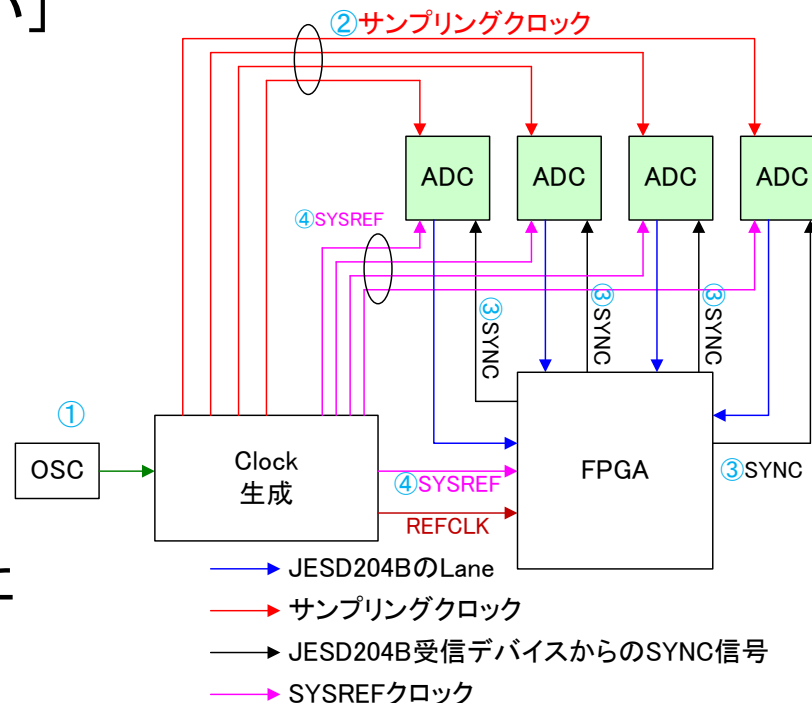
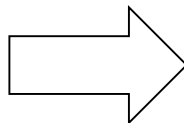
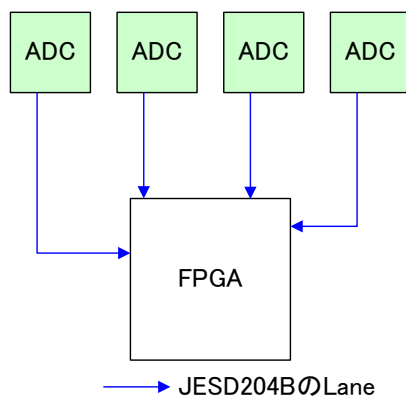


# アジェンダ

- ▶ POINT 1 試作前準備と評価ボードでの確認
- ▶ POINT 2 A/Dコンバータ入力のADS解析
- ▶ POINT 3 ADCとDACの制御と伝送路解析
- ▶ **POINT 4 同期CLKとコンバータ設定**
- ▶ POINT 5 JESD204Bボード基板の開発
- ▶ POINT 6 FPGA生成とJESD204Bデザインデバッグ
- ▶ POINT 7 合成ツールの活用による性能向上の検討

# 同期CLKとコンバータ設定

- ▶ 同期CLK, SYSREF接続とコンバータの設定ポイント
- ▶ 「複数のADCを同期して取り込みたい」



- ▶ 複数のコンバータを同期させるために
  1. クロックの源信は1つ
  2. サンプリングクロックを等長で配線
  3. JESD204B受信デバイスから出力されるSYNC信号を等長
  4. SYSREFを等長

# 同期CLKとコンバータ設定

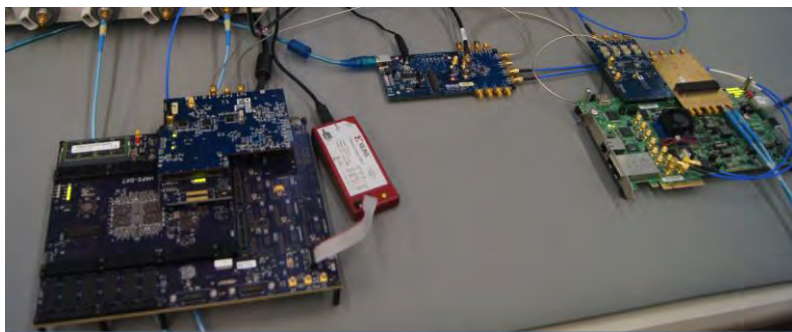
- ▶ SYSREF信号 (LVDS)
  - JESD204B Subclass1で必要になります。
  - 複数デバイスの同期を行うために使用します。
  - SYSREF信号を周期性にする場合、周波数をどのように設定すれば良いか？
- ▶ AD9144のデータシート参照。

|                                              |  |  |     |      |                         |    |
|----------------------------------------------|--|--|-----|------|-------------------------|----|
| SYSTEM REFERENCE INPUT<br>(SYSREF+, SYSREF-) |  |  |     |      |                         |    |
| Differential Peak-to-Peak<br>Voltage         |  |  | 400 | 1000 | 2000                    | mV |
| Common-Mode Voltage                          |  |  | 0   |      | 2000                    | mV |
| SYSREF± Frequency <sup>5</sup>               |  |  |     |      | $f_{DATA}/(K \times S)$ | Hz |

- ▶  $\text{SYSREF} = 1\text{GHz} / 32 \text{ マルチフレーム} \times 1 \text{ サンプル数 (データシート値)}$   
 $= 31.25\text{MHz}$
- ▶ 周波数と、K(16,32)が変わる。Sは1 (データシート値)
- ▶ 問題 2.5GHz、32マルチフレーム同期システムでのSYSREF値【      】 MHz

## 【ポイント4】同期CLKとコンバータ設定

- ▶ 複数コンバータの同期のためにJESD204BのSubclass1設定例
- ▶ JESD204Bパラメータ【展示無線システム デモ設定】
  - パラメータM(コンバータ数) : 1コンバータ
  - パラメータL(Lane数) : 2Lane
  - パラメータF(フレーム構成) : 1 Octet/Frame
  - パラメータK(マルチフレーム構成) : 32 Frame/Multiframe
  - パラメータN(分解能) : 14bit
  - パラメータCS(コントロールbit/sample) : 2bit
  - パラメータN'(サンプルあたりのbit数) : 16bit



単体システムも同期システムもパラメータの考え方は同じ

# アジェンダ

- ▶ POINT 1 試作前準備と評価ボードでの確認
- ▶ POINT 2 A/Dコンバータ入力のADS解析
- ▶ POINT 3 ADCとDACの制御と伝送路解析
- ▶ POINT 4 同期CLKとコンバータ設定
- ▶ **POINT 5 JESD204Bボード基板の開発**
- ▶ POINT 6 FPGA生成とJESD204Bデザインデバッグ
- ▶ POINT 7 合成ツールの活用による性能向上の検討

# JESD204Bボード基板の開発

## 失敗すると作り直し ボード開発の設計ポイント

- ▶ 回路設計の失敗は、
- ▶ 費用、期間ダメージが大きい。

## ▶ JESD204Bコンバータ回路の注意点

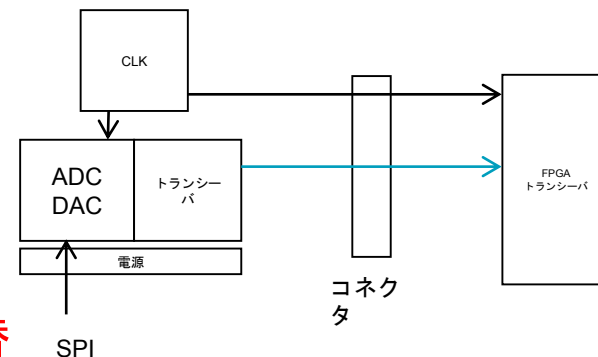
### ▶ トランシーバ

- CLK回路
- 電源回路

P/N、チャンネル入替

REFCLK、サンプリングCLK、SYSREF

電源仕様 厳しい

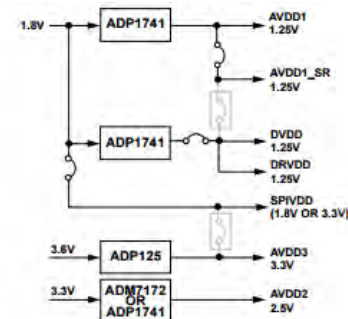


#### POWER SUPPLY

|          |      |      |      |      |      |      |      |      |      |      |   |
|----------|------|------|------|------|------|------|------|------|------|------|---|
| AVDD1    | Full | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | V |
| AVDD2    | Full | 2.44 | 2.50 | 2.56 | 2.44 | 2.50 | 2.56 | 2.44 | 2.50 | 2.56 | V |
| AVDD3    | Full | 3.2  | 3.3  | 3.4  | 3.2  | 3.3  | 3.4  | 3.2  | 3.3  | 3.4  | V |
| AVDD1_SR | Full | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | V |
| DVDD     | Full | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | V |
| DRVDD    | Full | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | 1.22 | 1.25 | 1.28 | V |

- FMCコネクタ
- SPI回路

ピンアサイン、仕様の理解  
制御方式、FPGA/マイコン

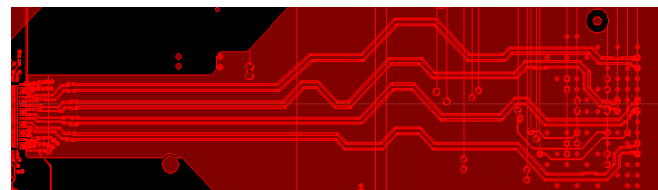


評価ボードを分析◎

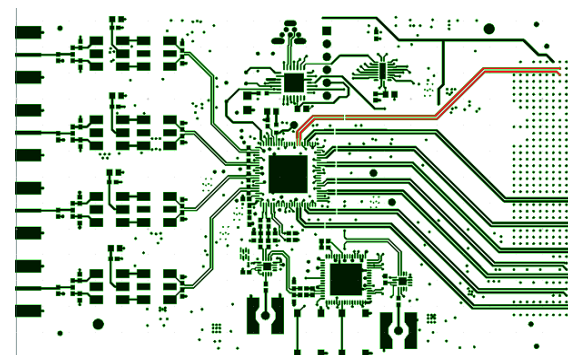
# JESD204Bボード基板の開発

- ▶ 失敗すると作り直し ボード開発の設計ポイント
- ▶ JESD204B 高速シリアル配線（最大12.5Gb/s）
  - トランシーバ 配線パターン
  - 等長配線
  - 基板材質
  - 電源
- ▶ 【情報】 評価ボード入手
  - 動作条件（機材、計測器、CLK、FPGA）
  - **Material MCL-HE-679G DK 3.8 DF 0.011**
  - 層構成、基板情報

JESD204B 12.5Gbpsパターン

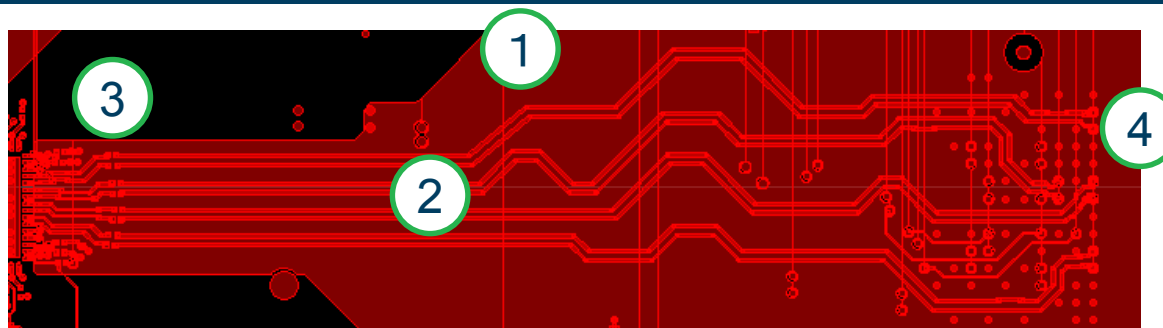


AD9680EBZ Board JESD204B L1/L2 LAYOUT



AD9144EBZ Board JESD204B L1/L2 LAYOUT

# 【ポイント5】 JESD204Bボード基板の開発



L0.25,S0.37 mm  
1,63.7,63.8  
2,63.0, 63.0  
3,61.5, 61.5  
4,64.4, 64.4

AD9680EBZ Board JESD204B L1/L2 LAYOUT

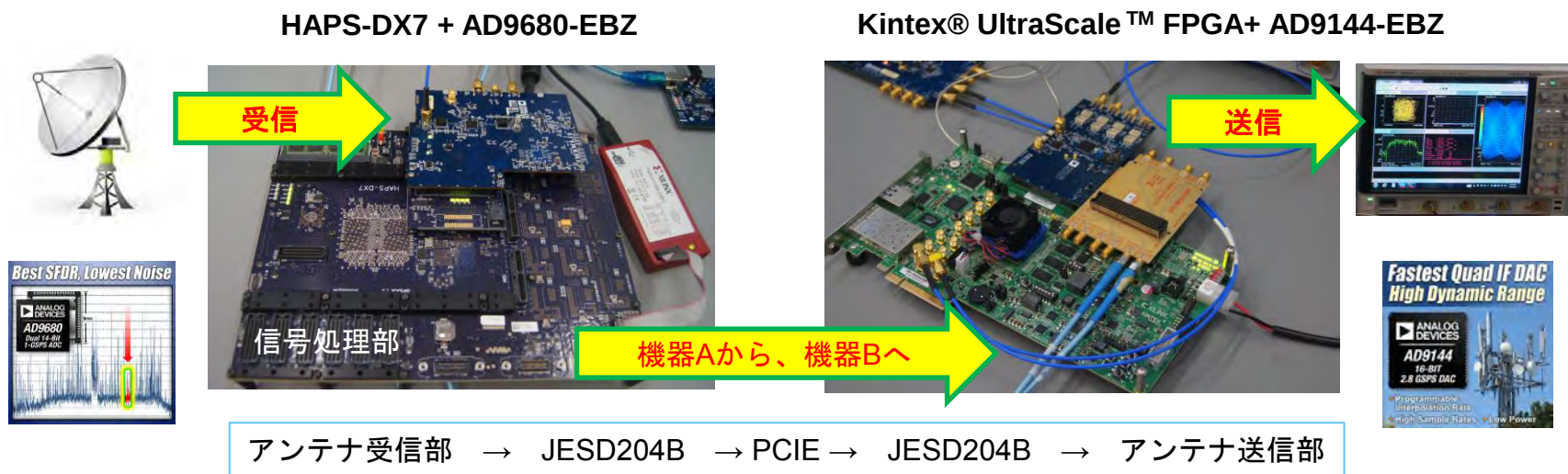
- ▶ 【分析】 JESD204B 評価ボード。。。PCBレイアウトから読み取る。
- ▶ 1、 $|Z|$  制御配線。L2層でL1層をインピーダンスコントロール
- ▶ 2、等長配線（誤差0.1mm）、クロストーク影響ない配線ギャップ
- ▶ 3、ACカップリングコンデンサ位置
- ▶ 4、コネクタ部は差動両サイドGND VIAを装備。。。インピーダンス制御を崩さない。
- ▶ 【配線注意】ゆるやかな円弧やS字配線、ミアンダや直角鬚禁止  
できるだけ最短。デジタルでは最優先。

# アジェンダ

- ▶ POINT 1 試作前準備と評価ボードでの確認
- ▶ POINT 2 A/Dコンバータ入力のADS解析
- ▶ POINT 3 ADCとDACの制御と伝送路解析
- ▶ POINT 4 同期CLKとコンバータ設定
- ▶ POINT 5 JESD204Bボード基板の開発
- ▶ **POINT 6 FPGA生成とJESD204Bデザインデバッグ**
- ▶ POINT 7 合成ツールの活用による性能向上の検討

# FPGA生成とJESD204Bデザインデバッグ

- ▶ 次世代無線システム向けJESD204Bデモの仕様
- ▶ 14ビット1GSPS ADC AD9680と、クワッド、16ビット、2.8GSPS TxDAC+ AD9144を採用した、無線システム信号計測デモをご覧ください。



受信側構成：Xilinx社 Virtex®-7とADC  
ADC基板：AD9680(14bit/1Gsps)  
ADCサンプリングクロックは1GHz  
アナログチャネル数はADC1ch

送信側構成：Xilinx社 Kintex® UltraScale™とDAC  
DAC基板：AD9144(16bit/2.8Gsps)  
DACのサンプリングクロックは1GHz  
アナログチャネル数はDAC 1ch

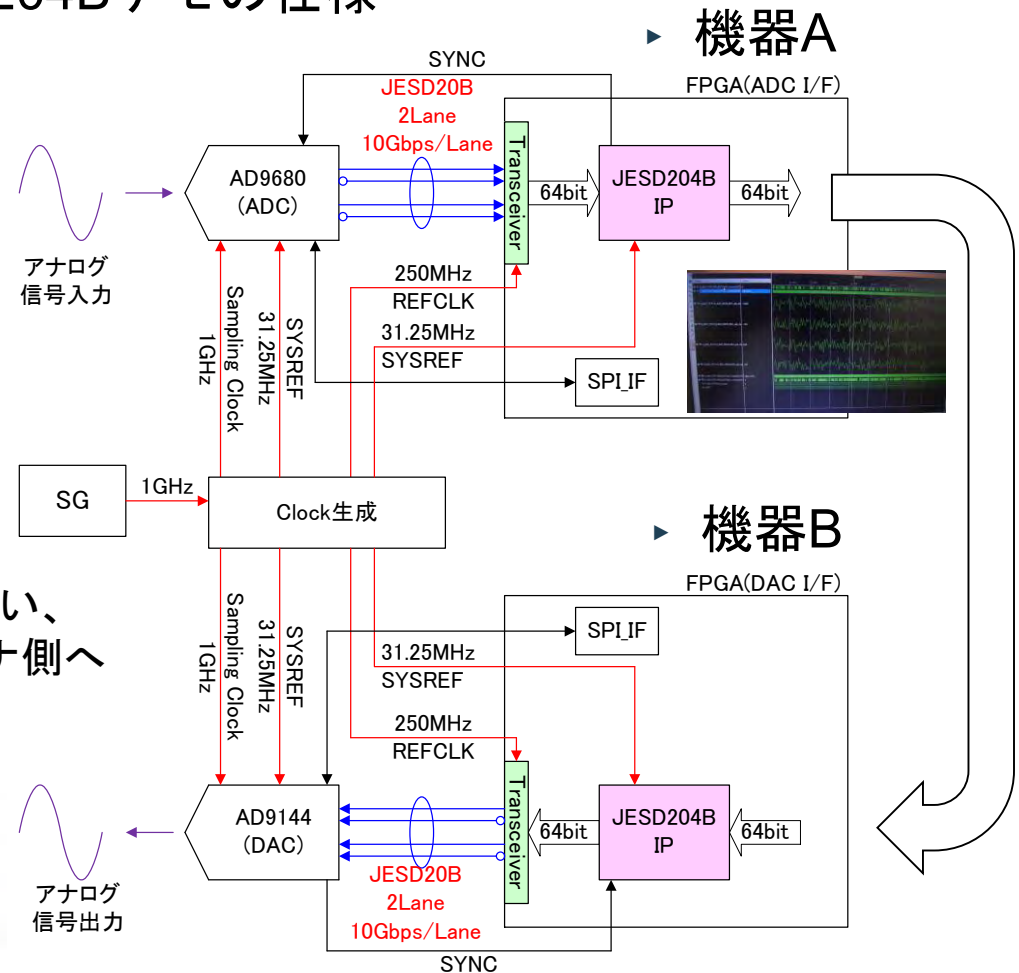
# FPGA生成とJESD204Bデザインデバッグ

## ▶ 次世代無線システム向けJESD204Bデモの仕様



機器AはAD9680 アナログ信号をJESD204Bにて、信号処理部へ伝送。CPRI上位通信を行う機器Bに変調信号をPCIEで送信。

機器Bは、PCIE受信-JESD204B変換を行い、TxDAC AD9144Cから変調信号をアンテナ側へ出力する信号を計測器で計測。



# FPGA生成とJESD204Bデザインデバッグ

## ▶ FPGAの設定手順 1 (IPの設定と生成)

① Vivado プロジェクト

② IP Catalog

③ Lane設定

④ JESD204Bパラメータ設定

⑤ Lane速度とREFCLK設定

Configuration Shared Logic Default Link Parameters JESD204 PHY Configuration

Transceiver Parameters

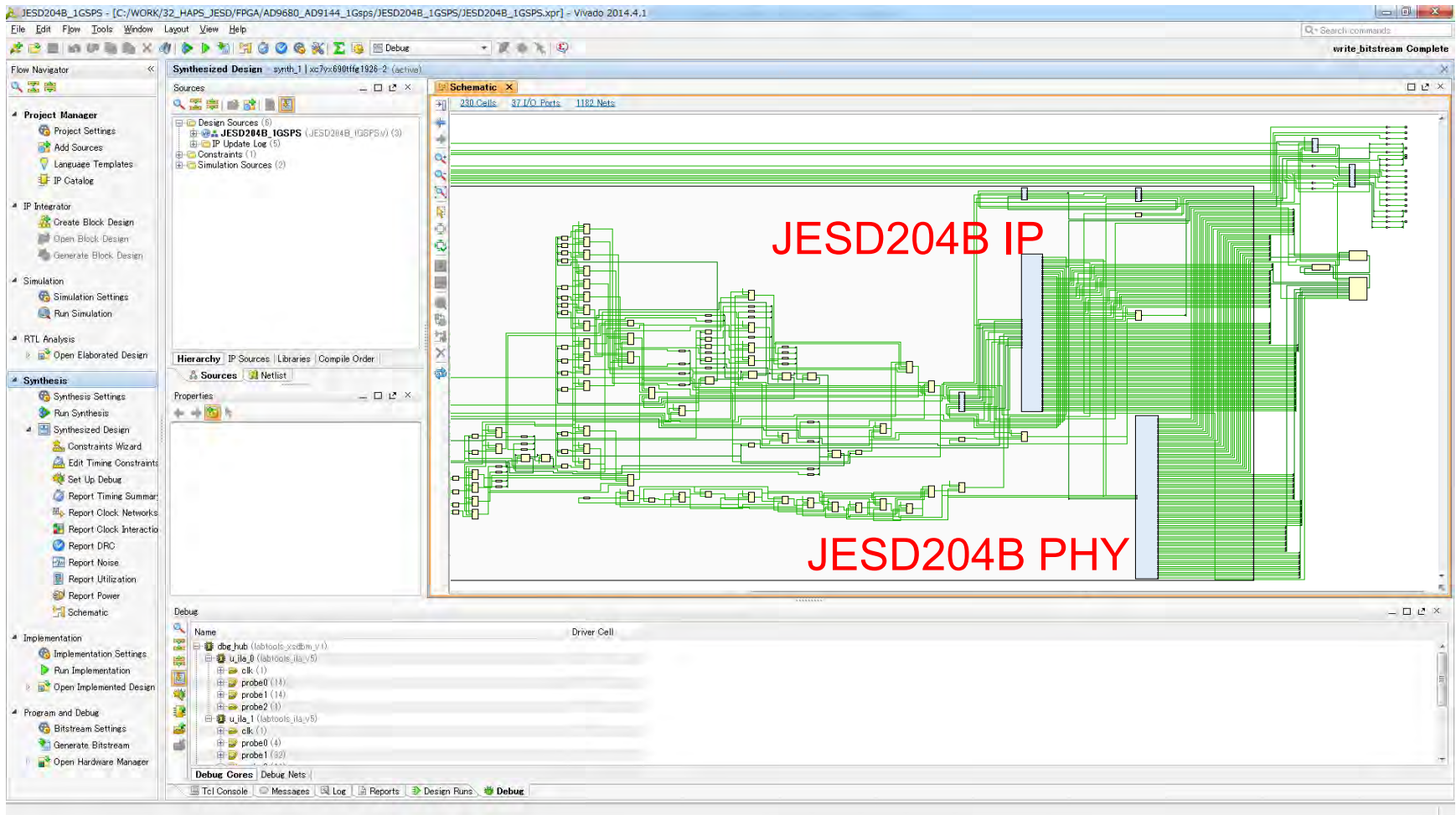
| Parameter                    | Value             |
|------------------------------|-------------------|
| Transceiver Type             | GTGE3             |
| Line Rate (Gbps)             | 10                |
| Reference Clock (MHz)        | 250               |
| PLL Type                     | 250               |
| DRP Clock Frequency (MHz)    | 912.5             |
| Valid Range of values for DR | 333.3333333 [0.0] |
| Transceiver Debug            | 400               |
|                              | 416.6666667       |
|                              | 500               |
|                              | 625               |
|                              | 666.6666667       |

Link Parameters

| Parameter                          | Value               |
|------------------------------------|---------------------|
| Default SYSREF Always              | SYSREF Always Off   |
| Default SCR (Scrambling On/Off)    | Scrambling Off      |
| Default F (Octets per Frame)       | 1 [1 - 256]         |
| Default K (Frames per Multiframe)  | 32 [1 - 32]         |
| Default SYSREF Required on Re-Sync | SYSREF Not Required |

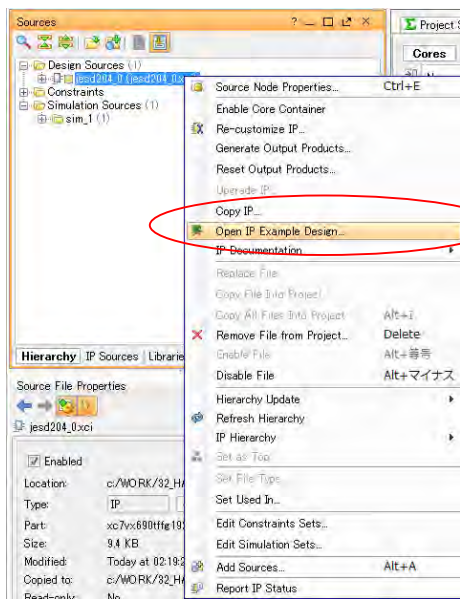
# FPGA生成とJESD204Bデザインデバッグ

## ▶ JESD204B IPとJESD204B PHYの接続（内部構成）

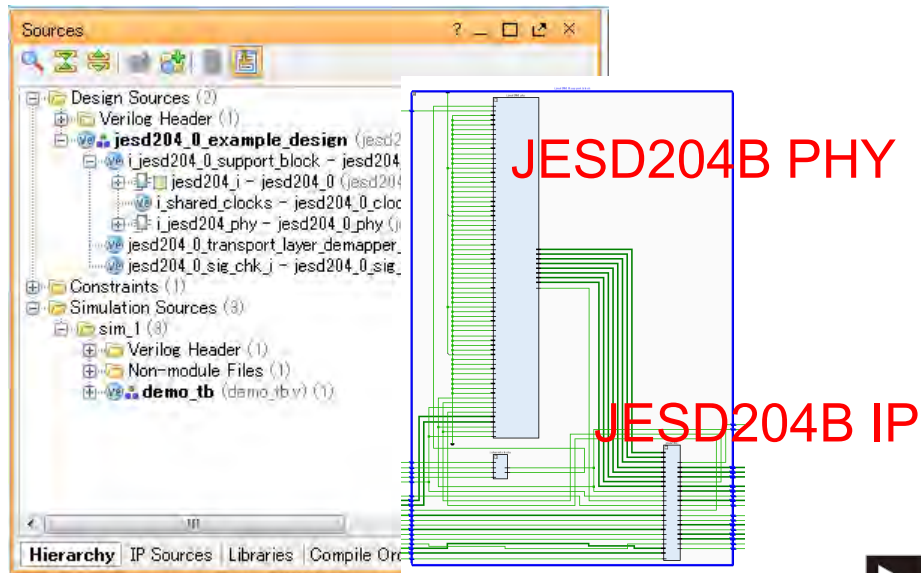


# FPGA生成とJESD204Bデザインデバッグ

- ▶ FPGAの設定手順 2 (Example Design生成)
  - 初めてJESD204BをFPGAで生成する方にお勧め
  - JESD204B IPとPHY I/Fを接続したRTLを出力
  - RTLシミュレーション用テストベンチを生成
  - Example Designを使って合成・配置配線を行うことが可能

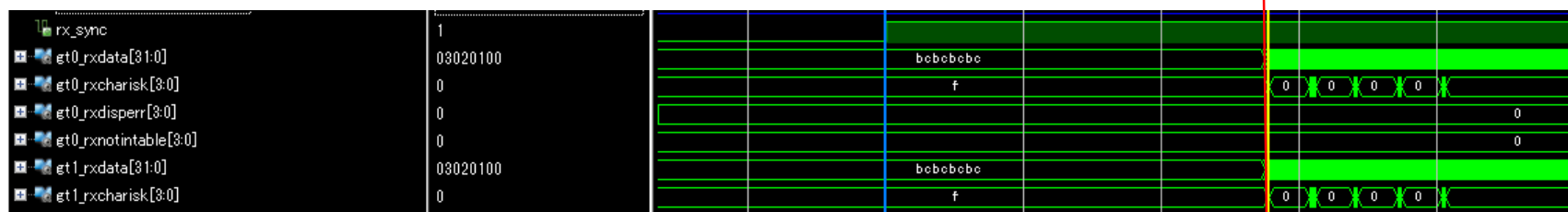
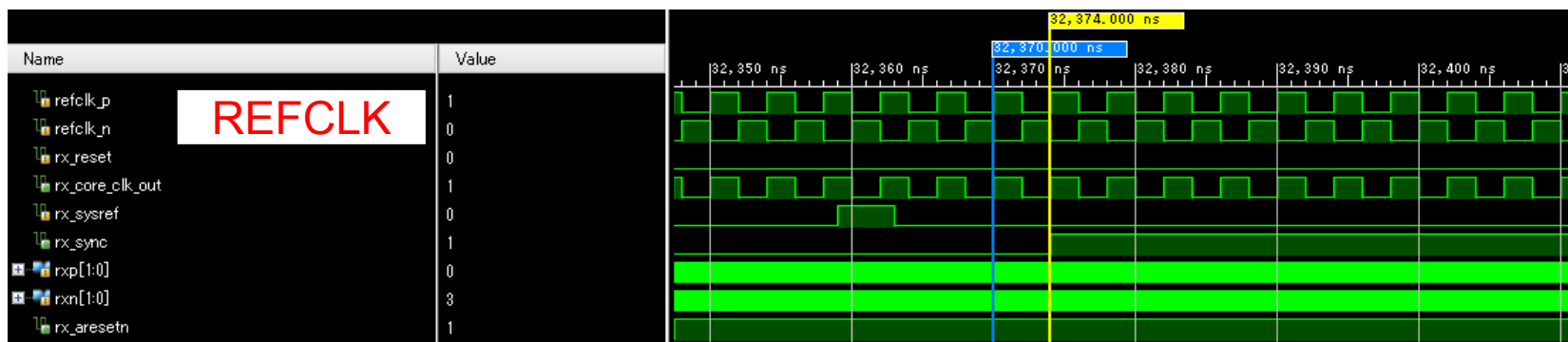


Example Designに必要な  
ものがそろっている



# FPGA生成とJESD204Bデザインデバッグ

- ▶ FPGAの設定手順3(Example DesignのRTL Simulation)
  - JESD204B IPの動作をRTL Simulationで確認。
- ▶ REFCLKの周波数、SYNCとILASの関係を確認



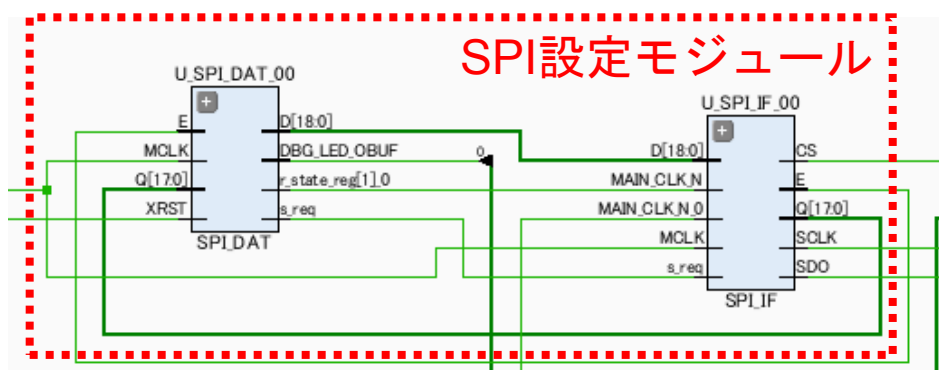
JESD204B 同期  
シーケンス

ILAS

# FPGA生成とJESD204Bデザインデバッグ

## ▶ FPGAの設定手順4(SPI設定)

- Example Designの動作を確認することができました。
- Example Designだけでは動作しません。
- コンバータに対してSPI設定を行うモジュールを追加します。

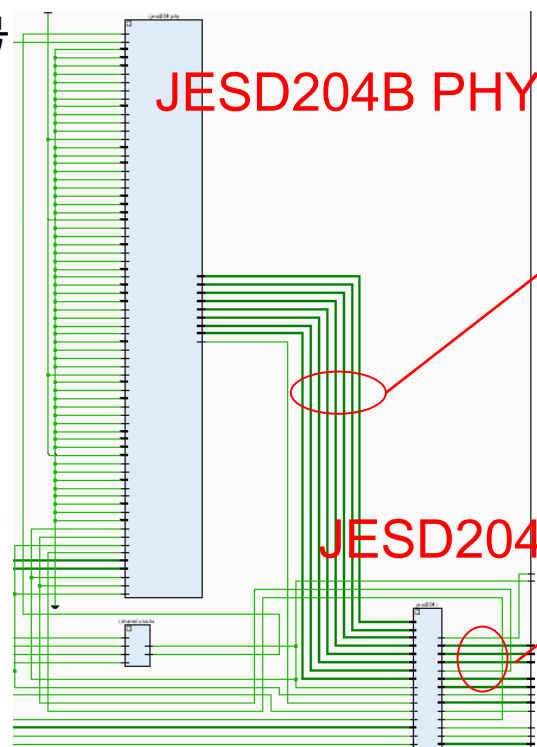


- コンバータに対してSPI設定を間違えると、SYNCが'L'のままでデータ転送ができません

|                       |          |  |  |  |          |  |  |
|-----------------------|----------|--|--|--|----------|--|--|
| et0_rxdata[31:0]      | bcbcbcbc |  |  |  | bcbcbcbc |  |  |
| et0_rxcharisk[3:0]    | f        |  |  |  | f        |  |  |
| et0_rxdisperr[3:0]    | 0        |  |  |  | 0        |  |  |
| et0_rxnotintable[3:0] | 0        |  |  |  | 0        |  |  |
| et1_rxdata[31:0]      | bcbcbcbc |  |  |  | bcbcbcbc |  |  |
| et1_rxcharisk[3:0]    | f        |  |  |  | f        |  |  |
| et1_rxdisperr[3:0]    | 0        |  |  |  | 0        |  |  |
| et1_rxnotintable[3:0] | 0        |  |  |  | 0        |  |  |

## 【ポイント 6】 FPGAの設定手順5(デバッグ機能の追加)

- ▶ FPGAの設定手順5(デバッグ機能の追加)
  - デバッグを行うためにFPGA内部にロジックアナライザ機能を追加します。
  - 観測するポイントは
    - JESD204B IPとUser回路間の信号
    - JESD204B PHYとJESD204B IP間の信号
    - SYNC信号



# JESD204B PHY

# JESD204B IP

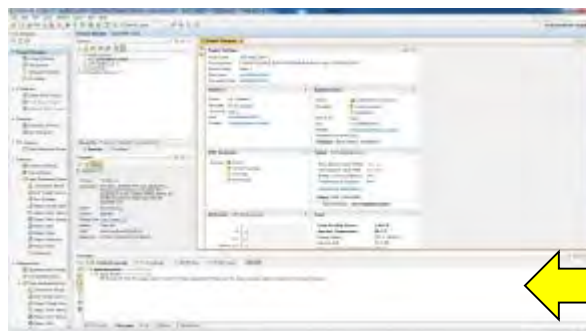


# アジェンダ

- ▶ POINT 1 試作前準備と評価ボードでの確認
- ▶ POINT 2 A/Dコンバータ入力のADS解析
- ▶ POINT 3 ADCとDACの制御と伝送路解析
- ▶ POINT 4 同期CLKとコンバータ設定
- ▶ POINT 5 JESD204Bボード基板の開発
- ▶ POINT 6 FPGA生成とJESD204Bデザインデバッグ
- ▶ **POINT 7 合成ツールの活用による性能向上の検討**

# 合成ツールの活用による性能向上の検討

- ▶ タイミングやFPGAのリソースに問題がある場合に、標準の合成ツール以外を利用する場合があります。シノプシスの論理合成ツールを使用し、タイミング・使用率の低減を試みます。
- ▶ 評価した合成ツール：シノプシス社 **HAPS ProtoCompiler**



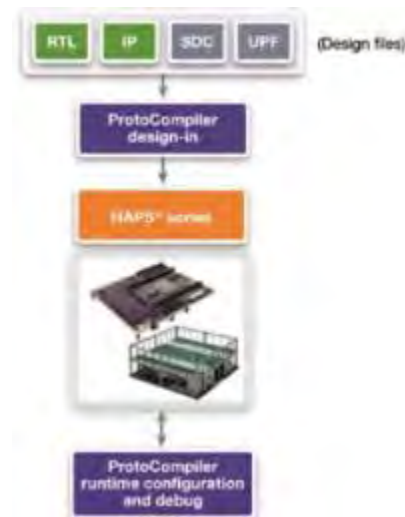
受信部 HAPS-DXボード



## 主な機能

### 論理合成とプロトタイプ・プランニングの自動化

- 業界をリードするFPGA論理合成テクノロジー
- 業界標準のSynopsys Design Constraints (SDC) サポート
- ASICスタイルのHDLおよびDesignWare IPを複数のFPGAに自動マッピング
- Unified Power Format (UPF) 制約に基づいてパワー・インテントを推定
- マルチスレッディングやネットワーク・コンピューティングによる並列処理による実行速度の高速化
- 事実上無限の容量
- スクリプトによる制御および自動化環境
- 高速度制約ドリブンのパーティショニングとシステムレベル配線自動化
- 各種オプションにより、プロトタイプ構築にかかる期間を短縮し、システムの性能を向上
- 高速時分多量 (HSTDM) によるFPGAピン混雑の排除
- 自動/手動共用の分割プランにより最適なデザイン分割とデザイン性能を実現
- Verilog-7 SLR (Super Logic Region) のグラフィカルなプランニング
- HAPS HapsTrakケーブルおよびコネクタボードの接続プランの自動化
- シノプシスHAPS-70およびHAPS-DXシリーズシステムの全面的サポート



# 合成ツールの活用による性能向上の検討

## 【FPGAベンダー・ツール付属の合成ツールでコンパイルでの問題】

- ▶ FPGA内部動作周波数500MHzの制約を与えて合成

**Implementation (1 critical warning)**  
Route Design (1 critical warning)  
[Timing 38-282] The design failed to meet the timing requirements. Please see the timing summary report for details on the timing violations.

**Slack (VIOLATED) : -1.392ns (required time - arrival time)**

**Requirement: 2.000ns (CLK\_500M\_mmc500M rise@2.000ns - CLK\_500M\_mmc500M rise@0.000ns)**

**Data Path Delay: 3.061ns (logic 0.517ns (16.887%) route 2.544ns (83.113%))**

**Logic Levels: 6 (LUT2=1 LUT4=3 LUT5=2)**

**Clock Path Skew: -0.035ns (DCD - SCD + CPR)**

**Destination Clock Delay (DCD): 5.264ns = ( 7.264 - 2.000 )**

**Source Clock Delay (SCD): 6.591ns**

**Clock Pessimism Removal (CPR): 1.293ns**

**Clock Uncertainty: 0.053ns ((TSJ\*2 + DJ\*2)^1/2) / 2 + PE**

**Total System Jitter (TSJ): 0.071ns**

**Discrete Jitter (DJ): 0.078ns**

**Phase Error (PE): 0.000ns**

**500MHzの制約に対して  
最大動作周波数は326.7MHz**

**設計通りに動作しない  
可能性がある！！**

| Location                           | Delay type         | Incr(ns) | Path(ns) | Netlist       |
|------------------------------------|--------------------|----------|----------|---------------|
| (clock CLK_500M_mmc500M rise edge) |                    |          |          |               |
|                                    |                    | 0.000    | 0.000    | r             |
| D37                                |                    | 0.000    | 0.000    | r RX_REFCLK_F |
| net (fo=0)                         |                    |          |          |               |
| D37                                | IBUF (Prop_ibuf    |          |          |               |
| net (fo=1, rout                    |                    |          |          |               |
| IBUFDS_GTE2_X0Y16                  | IBUFDS_GTE2 (Pr    |          |          |               |
| net (fo=2, rout                    |                    |          |          |               |
| BUFCTRL_X0Y16                      | BUFCTRL (Prop_bufs |          |          |               |

# 【ポイント7】 合成ツールの活用による性能向上の検討

- ▶ FPGAベンダー・ツールとSynopsys無線機向け合成ツールの比較
  - FPGAベンダーの合成ツールにおける最大動作周波数

## Max Delay Paths

```
Slack (MET) : 0.622ns (required time - arrival time)
Source: U_ADC_TOP/AD_DUT/jesd204_i/inst/i_jesd204_ad/i_rx_32/s_rx_lanes[0].i_rx_lane_32/last_is_i_reg[0]/C
(rising edge-triggered cell FDRE clocked by ADC_IF_refclk {rise@0.000ns fall@0.000ns period=4.000ns})
Destination: U_ADC_TOP/AD_DUT/jesd204_i/inst/i_jesd204_ad/i_rx_32/s_rx_lanes[0].i_rx_lane_32/f_count_reg[1]/CE
(rising edge-triggered cell FDRE clocked by ADC_IF_refclk {rise@0.000ns fall@0.000ns period=4.000ns})
Path Group: ADC_IF_refclk
Path Type: Setup (Max at Slow Process Corner)
Requirement: 4.000ns (ADC_IF_refclk)
Data Path Delay: 2.871ns (logic) 0.612ns
Logic Levels: 5 (LUT4=1 LUT6=3 MUXF7)
Clock Path Skew: -0.294ns (DCD - SCD + CPR)
Destination Clock Delay (DCD): 5.243ns = ( 9.243 - 4.000 )
Source Clock Delay (SCD): 6.750ns
Clock Pessimism Removal (CPR): 1.213ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.071ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.000ns
Phase Error (PE): 0.000ns
```

最大動作周波数=348.3[MHz]

制約を変更

- Synopsys無線機向け合成ツールにおける最大動作周波数

## Max Delay Paths

```
Slack (MET) : 0.428ns (required time - arrival time)
Source: U_ADC_TOP/AD_DUT/jesd204_i/inst/i_jesd204_ad/i_rx_32/active_lanes_r_reg[0]/C
(rising edge-triggered cell FDRE clocked by JESD204B_1GSPS[RX_REFCLK_N {rise@0.000ns fall@0.000ns period=4.000ns})
Destination: U_GIGACONNECT_FIFO_00/U0/inst_fifo_gen/gconvfifo.rf/grf.rf/gntv_or_sync_fifo.mem/gbm.gbm.gbmga.ngecc.bmg/inst_blk_mem_gen/
(rising edge-triggered cell RAMB36E1 clocked by JESD204B_1GSPS[RX_REFCLK_N {rise@0.000ns fall@0.000ns period=4.000ns})
Path Group: JESD204B_1GSPS[RX_REFCLK_N
Path Type: Setup (Max at Slow Process Corner)
Requirement: 4.000ns (JESD204B_1GSPS[RX_REFCLK_N
Data Path Delay: 2.553ns (logic) 0.612ns
Logic Levels: 1 (LUT12=1)
Clock Path Skew: -0.347ns (DCD - SCD + CPR)
Destination Clock Delay (DCD): 4.943ns = ( 8.943 - 4.000 )
Source Clock Delay (SCD): 6.473ns
Clock Pessimism Removal (CPR): 1.183ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ): 0.071ns
Total Input Jitter (TIJ): 0.000ns
Discrete Jitter (DJ): 0.000ns
Phase Error (PE): 0.000ns
```

最大動作周波数=391.7 [MHz]

速度アップした！

タイミングの改善が見込まれる

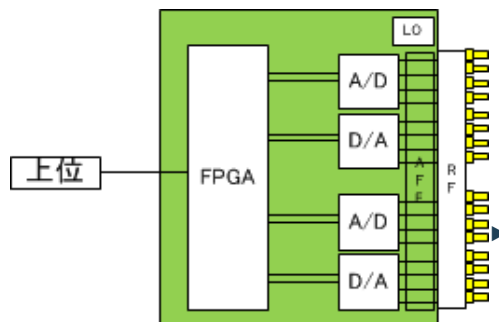
FPGAのグレードを変える、処理の方法を変える。

このような問題も起こりますので、覚えておいてください。

# まとめ

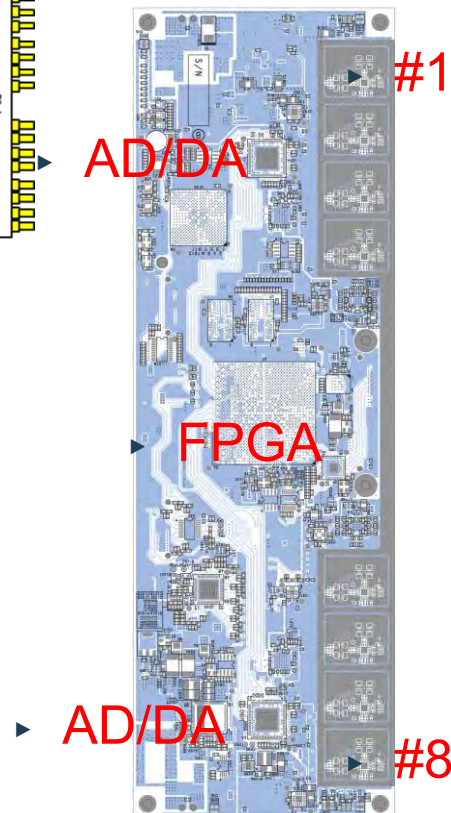
## ■ 次世代の無線通信機器の開発課題

- システムボードの超小型化 MIMOボード
- 低消費電力化を実現
- 高集積システム



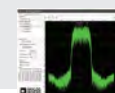
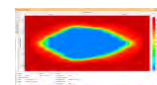
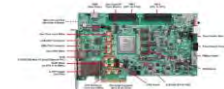
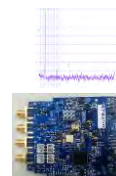
## ■ 実現方法

- 広帯域をカバーするギガサンプリングコンバータ採用
- **トランシーバ内蔵のJESD204B製品による構成**
- AFE+MIXER+LOCAL+信号処理部
- JESD204Bコンバータ対応の電源回路
- 新型FPGAの採用による低消費電力化
- ビルドアップ基板による高集積基板設計
- 紹介技術ポイントの実施



# まとめ JESD204B開発 ポイント一覧

| 番号 | 作業項目        | アクション                                | 準備                                                    | ポイント                                              |
|----|-------------|--------------------------------------|-------------------------------------------------------|---------------------------------------------------|
| 1  | システム仕様      | 仕様検討、コンサル                            | 予算                                                    | ◎コンサル情報（早い）                                       |
| 2  | 評価ボードの購入    | リファレンスデザイン<br>ボード動作の検証               | ADIボード購入<br>A/D、D/A、同期CLK、<br>FPGA、評価系整備              | ◎A/D,D/Aの性能評価<br>◎JESD204Bデザイン<br>◎CLK構成          |
| 3  | 評価ボード分析     | 基板データの分析<br>回路部品の分析                  | ADI WIKIサイト情報                                         | ◎配線仕様、基板材料<br>◎LDO、シンセサイザ                         |
| 4  | 回路設計、解析     | データシート                               | ADI WEB Sパラ入手                                         | ◎AFEシミュレーション                                      |
| 5  | ボード設計、解析    | 評価ボードデータ                             | WIKI情報、IBIS-AMI 入手                                    | ◎伝送線路シミュレーション                                     |
| 6  | FPGA設計、IPコア | システム仕様への変更                           | IPコア購入<br>開発ライセンス                                     | Xヶ月期限の評価版ではNG<br>◎権利購入必要                          |
| 7  | デバッグ、評価     | ロジックアナライザ<br>BERT,EYE SCAN           | デザインを作成                                               | X 急に作れない。<br>◎評価ボードから初めておく                        |
| 8  | システム試験      | CLK、信号発生器<br>EYEパターン<br><br>コンバータの動作 | 信号発生器の準備<br>送信、受信信号計測の準備<br><br>最終FPGAデザイン<br>制御プログラム | Xテストが後からできない。<br>◎計測できるように設計<br><br>◎ADI IIOオシロ便利 |



# セミナー特典とアンケートのお願い

## ▶ 1、キーサイトJESD登録サイト紹介

▶ <http://www.keysight.co.jp/find/jesd>

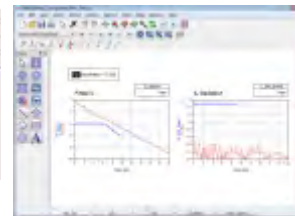
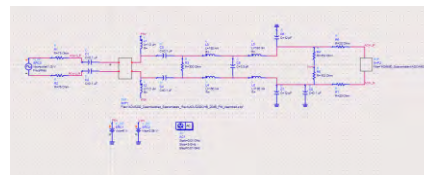
- JESD204B技術情報サービス
- 最新JESDアップデート
  - JESD204B計測ガイド.PDF
  - セミナー情報。。。。。。メール登録でご案内いたします。

JESD204B技術情報  
提供のご案内



## ▶ 2、JESD204B解析データ（名刺交換でダウンロード連絡）

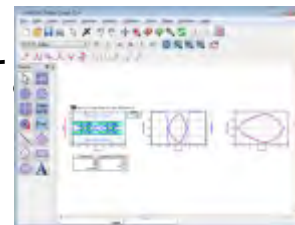
- アナログフロントエンド解析デザイン
- JESD204B IBIS-AMIテンプレートデザイン
- **すぐに始められるチュートリアル**



▶ （本日受けて頂いた基調講演・セッションの中で、さらに詳しく内容を聞きたいものはありますか？）

## ▶ 3、アンケートのコメント欄にコメントもいただけますと助かります

- 【ADSデータ希望】、【登録希望】等 もお願いします。



# ▶ Thank you



- ▶ Contact US
- ▶ [info@gigafirm.com](mailto:info@gigafirm.com)
- ▶ <http://www.gigafirm.com/home>

